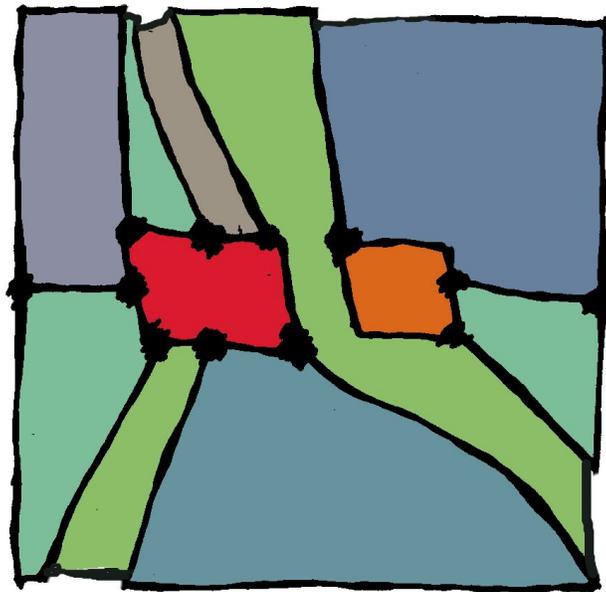


LA MÁQUINA DE POST ACTUALIZADA:

**Diseño, puesta en marcha y programación
del prototipo de un pequeño CPU funcional**

Gerardo Abel Laguna Sánchez



CopIt-arXives
Publishing Open Access
with an Open Mind
2021

Este libro contiene material protegido por leyes de autor

Todos los derechos reservados © 2021

Publicado electrónicamente en México, por CopIt-arXives.

Diseño de portada: Fernando Zambrana Castañeda.

Obra editada por Eduardo Vizcaya Xilotl y Gerardo Abel Laguna Sánchez.

La máquina de Post actualizada: Diseño, puesta en marcha y programación del prototipo de un pequeño CPU funcional; [autor] Gerardo Abel Laguna Sánchez. — México CDMX: CopIt-arXives, 2021

Incluye bibliografía e índice

ISBN: 978-1-938128-25-7 ebook

Derechos y permisos

Todo el contenido de este libro (texto y figuras) es propiedad intelectual de su autor quien, sin embargo, otorga permiso al lector para copiar, distribuir e imprimir sus textos libremente, siempre y cuando se cumpla con lo siguiente: (i) el material no debe ser modificado ni alterado, (ii) la fuente debe ser citada siempre y los derechos intelectuales deben ser atribuidos a sus respectivos autores, (iii) estrictamente prohibido su uso con fines comerciales.

El contenido y puntos de vista planteados son responsabilidad exclusiva del autor y no corresponden necesariamente a los de los editores o a los de ninguna institución, incluidas CopIt-arXives o la UNAM.

Producido con software libre incluyendo \LaTeX . Indexado en el catálogo de publicaciones electrónicas de la UNAM y en Google Books.

Los editores agradecen el apoyo de DGAPA-UNAM a través del proyecto PAPIIT IN-105015.

ISBN: 978-1-938128-25-7 ebook

<http://scifunam.fisica.unam.mx/mir/copit/>

Este libro ha pasado por revisión de pares

CopIt-arXives

Cd. de México - Cuernavaca - Madrid - Curitiba
Viçosa - Washington DC - London - Oxford

Con el apoyo de la
UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
Instituto de Física

Dedicado a la memoria del profesor Vladimir Andreyevich Uspenski y a todos mis maestros, tanto los del mundo académico como los que la vida me ha brindado al recorrer su camino. Como la lista es muy larga, tan solo diré que esta empieza con mis abuelos y mis padres, y termina con mi esposa y mi hijo.

¡Un infinito agradecimiento a todos!

⊙ *Esta es una página en blanco.* ⊙

ÍNDICE

PROEMIO	VII
NOTACIÓN Y GLOSARIO	XI
INTRODUCCIÓN	XIII
1. CONCEPTUALIZACIÓN Y ACTUALIZACIÓN DE LA MÁQUINA DE POST	1
Un poco de historia	1
La máquina de Post	4
Conjunto de instrucciones para la máquina de Post	6
Ejemplo de programa para la máquina de Post	7
Operación de incremento de un número natural con la máquina de Post	12
Propuesta de actualización y mejora para la máquina de Post	17
Conjunto de instrucciones para la máquina de Post mejorada	19
Operación de incremento de números naturales con la máquina de Post mejorada	20
Los distintos tipos de lenguajes de programación	25
2. CODIFICACIÓN DE INSTRUCCIONES PARA LA MÁQUINA DE POST MEJORADA (MPM)	27
Codificación del conjunto de instrucciones para la MPM	27
Codificación, en lenguaje de máquina, de los programas para la MPM	28
3. DISEÑO LÓGICO PARA LA MÁQUINA DE POST MEJORADA	37
Arquitectura propuesta para la realización práctica de la MPM	37
Metodología de diseño RTL y diagramas ASMD	41
Máquinas de estados finitos	41
Diagrama a bloques para el hardware de una máquina de estados finitos	43
Diagrama de máquina de estados algorítmica	44
Metodología RTL	46
Diagramas ASMD	47

Especificación ASMD para la realización práctica de la MPM	49
Estados stop , start y fetch	49
Estado decode	51
Estados incdp_exe y decdp_exe	52
Estados set_exe y clr_exe	53
Secuencia de estados correspondientes a la instrucción jmp	54
Secuencia de estados correspondientes a la instrucción jz	55
4. ESPECIFICACIÓN DE LA INTERFAZ PARA EL PROTOTIPO	
DE LA MÁQUINA DE POST MEJORADA	57
La interfaz de entrada/salida	57
Bosquejo de la interfaz de E/S para el prototipo de la MPM	58
Hardware mínimo de E/S	61
Consideraciones prácticas sobre la operación y la programación del prototipo de la MPM	64
CONCLUSIONES	67
A. ANEXO A. CÓDIGO VHDL PARA EL PROTOTIPO DE LA MPM	
CON UNA TARJETA BASYS3	69
Archivo <i>Top_Basys3.vhd</i>	69
Archivo <i>MPM_cpu.vhd</i>	76
Archivo <i>behavioral_hex2led.vhd</i>	82
Archivo <i>debouncing_mod.vhd</i>	84
Archivo <i>double_pulse.vhd</i>	86
Archivo <i>RAM_init.coe</i>	88
Archivo <i>ROM_init.coe</i>	89
Archivo <i>Top_Basys3.xdc</i>	90
B. ANEXO B. SÍNTESIS DEL HARDWARE Y REALIZACIÓN PRÁCTICA	
DEL PROTOTIPO PARA LA MPM	93
Instrucciones paso a paso	94
Paso 1. Verifique el estado de la tarjeta Basys3	94
Paso 2. Ejecute el entorno de diseño Vivado	94
Paso 3. Cree un nuevo proyecto	95
Paso 4. Incluya un bloque IP para el contador binario	100
Paso 5. Incluya un bloque IP para la memoria RAM	103
Paso 6. Incluya un bloque IP para la memoria ROM	106
Paso 7. Construya del proyecto y genere el archivo con la secuencia de bits	107
Paso 8. Cargue el proyecto construido en el FPGA destino	109
C. ANEXO C. GUÍA DE REFERENCIA RÁPIDA PARA VHDL	111
Bibliografía	115

MUY estimado lector, tienes frente a ti esta monografía, en formato de opúsculo, que aborda la introducción a las ciencias computacionales con un enfoque práctico que, aunque ciertamente algunos lo puedan calificar de poco novedoso o anacrónico, por lo menos le brinda oxígeno al tema tratado y lo revitaliza en estos tiempos de complejidad creciente, rapidez en los cambios e incertidumbre.

El tema desarrollado en esta obra es el resultado de mi experiencia como profesional y educador por cerca de treinta años, en el ámbito de la computación y los sistemas digitales. Tiene un doble propósito, tanto como libro de divulgación, para aficionados y público en general, y como posible libro de texto para estudiantes o egresados de ingeniería.

La inspiración para escribir esta monografía surgió después de encontrar en mi biblioteca, por casualidad, dos libros de divulgación con los que me inicié en el maravilloso mundo de la computación, alrededor de 1984, cuando era adolescente y un estudiante en el bachillerato:

- *La máquina analítica*, de J. Bernstein.
- *Máquina de Post* (Lecciones populares de matemáticas), de V. A. Uspenski.

Ambas obras pueden considerarse como clásicas y verdaderas joyas en el contexto de la divulgación de las ciencias computacionales. El primero, escrito por el prominente físico estadounidense Jeremy Bernstein, fue originalmente publicado en 1964, en inglés, pero en 1981 se publicó una edición revisada que fue la que llegó a mis manos en su versión castellana. El segundo libro, escrito por el profesor Vladimir Andreyevich Uspenski, ilustre matemático, fue originalmente publicado en ruso, en 1979, y llegó a mis manos en la edición en español de 1983, publicada e impresa, por la muy memorable Editorial MIR, en las lejanas, gélidas y afamadas tierras de la [hoy](#) extinta Unión Soviética.

Aprecio mucho a ambos libros y tienen un lugar muy especial en mi biblioteca personal. Estas dos obras definitivamente me marcaron para siempre y, por la misma razón, es que considero a sus autores, los profesores Jeremy Bernstein y Vladimir A. Uspenski, ambos prolíficos escritores y excelentes divulgadores del

conocimiento, como parte del grupo de maestros y formadores a los cuales me debo como profesional en el ámbito de las ciencias computacionales.

Revisando estos memorables y queridos libros, me di cuenta de que en la actualidad, con todo el poder computacional y tecnológico con el que contamos, era perfectamente posible realizar un pequeño prototipo con el que seguramente hubieran sido muy felices, en esa época y también ahora mismo, todos los admiradores y seguidores de los profesores Bernstein y Uspenski, incluyéndome, por supuesto, así como todos los *nerds* de mi tipo, quienes nos encontrábamos (y aún nos encontramos) ávidos y emocionados de poder practicar los conceptos básicos de la computación y de la programación, al nivel de los legos, en algún artefacto que emulara la máquina de Post, es decir una versión para *dummies* de la muy renombrada máquina de Turing. Fue entonces que puse manos a la obra y el resultado de ese esfuerzo es esta obra que tienes frente a ti.

En resumen, en esta monografía se presenta el desarrollo completo del diseño, puesta en marcha y programación del prototipo para una pequeña unidad central de procesamiento (CPU), a partir de una variante mejorada de la máquina de Post. La máquina de Post es un desarrollo teórico similar al de Alan Turing (el famoso matemático considerado como uno de los padres de la computación moderna), aunque desarrollado por Emil L. Post en forma enteramente original e independiente. La máquina de Post es mucho más simple que la de Turing, por lo tanto, dada su relativa simplicidad, permite introducir a los interesados, de manera clara, en los conceptos básicos relativos al funcionamiento de prácticamente todo CPU digital moderno.

Se explica el desarrollo del diseño lógico del sistema digital correspondiente, se especifica mediante la metodología RTL, se muestra su codificación con lenguaje VHDL y se pone en marcha con los recursos de una tarjeta de desarrollo FPGA de bajo costo. Se aprovecha el prototipo obtenido para que los interesados apliquen, en forma muy concreta, los conceptos de micro-código, algoritmo y programación, tanto en lenguaje ensamblador como en lenguaje de máquina.

Finalmente, se demuestra que es posible construir, con recursos relativamente limitados, un sistema micro-procesado que permite adquirir el conocimiento y la experiencia necesarias para incursionar en el ámbito del diseño y la aplicación de los modernos sistemas digitales.

Por lo antes expuesto, este trabajo puede ser empleado como referencia, tanto teórica como práctica, para cualquier ingeniero, o aficionado a la computación y a la electrónica, que desee profundizar en los detalles del diseño y construcción de un prototipo para un microprocesador simple pero funcional. Incluso, el material de este trabajo puede ser de gran interés en el medio académico, como libro de texto complementario para los cursos de Diseño Lógico Avanzado, Sistemas Micro-procesados y otros cursos afines.

Quiero agradecer a la editorial CopIt-arXives por ser una promotora ejemplar de la libre difusión del conocimiento. Especialmente, agradezco el interés, el trabajo editorial y el apoyo para la publicación de esta obra, tanto de Mariana Benítez Keinrad como de Eduardo Vizcaya Xilotl. Por último, pero no por ello menos im-

portante, deseo reconocer los valiosos comentarios y recomendaciones de Max de Mendizábal para mejorar el contenido del manuscrito original.

En fin, amable lector, pongo la obra a tu disposición y espero que sea de interés o, al menos, de cierta utilidad.

Gerardo Abel Laguna Sánchez¹
Junio, 2020

¹Profesor investigador, Área de Sistemas de Información y Ciencias Computacionales, Universidad Autónoma Metropolitana, Unidad Lerma. / e-mail: g.laguna@correo.ler.uam.mx

⊙ *Esta es una página en blanco.* ⊙

NOTACIÓN Y GLOSARIO

Símbolo	Significado
N	Denota cualquier cantidad.
$N \pm 1$	Denota cualquier cantidad más/menos uno.
a^n	Denota un valor a elevado a la potencia n .
$x = a$	Operador relacional de igualdad. Cuando esta expresión se encuentra dentro de una caja de decisión, denota la comparación de valor a con el contenido de la variable x , como preguntando ¿ x es igual a a ?
$x \leq a$	Denota que el valor a (representado por un nivel de voltaje) es asignado a la señal x mediante hardware.
$r \leftarrow a$	Denota que el valor a es cargado en el registro r .
$r2 \leftarrow r1 + a$	Denota que al contenido del registro $r1$ se le suma el valor a y el resultado es transferido al registro $r2$.
$r1 \leftarrow r1 + r2$	Denota que el contenido de los registros $r1$ y $r2$ se suma y el resultado es transferido al registro $r1$.
0x	Prefijo que identifica a los números codificados con notación hexadecimal.

Término	Significado
ALU	Unidad aritmética lógica, siglas de <i>Arithmetic Logic Unit</i> .
ANSI	Asociación nacional estadounidense de estándares, siglas de <i>American National Standards Institute</i> .
.asm	Extensión de los archivos con código fuente ensamblador.
ASM	Máquina de estados algorítmica, siglas de <i>Algorithmic State Machine</i> .
ASMD	Máquina de estados algorítmica con ruta de datos, siglas de <i>Algorithmic State Machine with Data path</i> .
.bin	Extensión de los archivos con código binario.
bit	Dígito binario, acrónimo de <i>Binary digIT</i> .
byte	Tupla (grupo) de 8 bits, acrónimo de <i>Binary Tuple</i> .
CPU	Unidad central de procesamiento, siglas de <i>Central Processing Unit</i> .
DP	Apuntador de datos, siglas de <i>Data Pointer</i> .
FPGA	Arreglo de compuertas programable en sitio, siglas de <i>Field-Programmable Gate Array</i> .
FSM	Máquina de estados finitos, siglas de <i>Finite State Machine</i> .
HDL	Lenguaje de descripción de hardware, siglas de <i>Hardware Description Language</i> .
IP	Apuntador de instrucciones, siglas de <i>Instruction Pointer</i> .
LED	Diodo emisor de luz, siglas de <i>Light-Emitting Diode</i> .
LSB	Bits menos significativos, siglas de <i>Least Significant Bits</i> .
MSB	Bits más significativos, siglas de <i>Most Significant Bits</i> .
nibble	La mitad de un byte, es decir un grupo o tupla de 4 bits.
RAM	Memoria de acceso aleatorio, siglas de <i>Random Access Memory</i> .
ROM	Memoria de sólo lectura, siglas de <i>Read Only Memory</i> .
RTL	Enfoque de diseño a nivel de las transferencias entre registros, siglas de <i>Register Transfer Level</i> .
.vhd	Extensión de los archivos con código fuente VHDL.
VHDL	Lenguaje de descripción de hardware de alto nivel, las siglas resultan de la combinación de dos acrónimos: VHSIC (<i>Very High Speed Integrated Circuit</i>) y HDL (<i>Hardware Description Language</i>).

EL poder computacional de los actuales microprocesadores es mucho muy superior, respecto de sus primeros antecesores, tanto en velocidad como en complejidad. Esto también impacta la forma en que se estudian y usan estos sistemas. Una forma de estimar la complejidad los sistemas micro-procesados puede realizarse mediante la comparación del número de páginas de sus respectivos manuales. Los primeros microprocesadores, que aparecieron en la década de 1970, contaban con manuales que consistían en decenas de páginas. Los modernos microprocesadores integran tantos periféricos, bloques funcionales y sofisticados buses de interconexión, que el conjunto de manuales asociados fácilmente sobrepasa los miles de páginas.

El avance tecnológico es rápido e inaplazable, mientras que la duración de los cursos de ingeniería donde se imparten los principios teóricos y prácticos es, más o menos, constante. Esta situación implica una decisión difícil: A fin de mantener actualizados los contenidos de los programas de estudio, ¿qué debe permanecer en el contenido curricular y qué debe salir? Por ejemplo, no presentar a los alumnos los últimos avances y las tendencias tecnológicas puede resultar en una obsolescencia práctica, aún antes de que egresen. Por otra parte, los conceptos básicos no pueden dejar de impartirse, dado que sin ellos es imposible profundizar en el conocimiento. Si, debido a las restricciones de tiempo, las universidades optan por concentrarse en el empleo y aplicación de los últimos avances tecnológicos, sacrificando el estudio de los conceptos teóricos básicos, se corre el riesgo de formar ingenieros que no van más allá de ser tan sólo usuarios calificados de las tecnologías, sin la comprensión de los principios que rigen su funcionamiento interno. Por otro lado, si la universidad se enfoca sólo en los conceptos teóricos y en realizar prácticas con tecnología muy atrasada, se egresan ingenieros en desventaja respecto del empleo de los últimos avances tecnológicos. Estas situaciones se presentan con particular notoriedad en el caso de la impartición de los cursos de diseño lógico avanzado y sistemas micro-procesados, donde el dominio de los conceptos básicos es fundamental para la propuesta de soluciones originales y funcionales, pero donde también el avance tecnológico es abrumador.

En este trabajo se presenta el desarrollo del diseño de un pequeño dispositivo microprocesador electrónico, a partir de los conceptos básicos de una unidad central de procesamiento clásica (CPU, por sus siglas en inglés), así como su puesta en marcha y programación mediante el aprovechamiento de la última tecnología de diseño lógico programable. El material expuesto permite conciliar, de manera natural, los fundamentos teóricos con la tecnología más reciente. Se trata de procurar una efectiva apropiación del conocimiento, con dominio de la teoría y de su correspondiente aplicación práctica, mediante el diseño, paso a paso, de un CPU básico y de su implementación mediante los recursos de una tarjeta de desarrollo con un FPGA de bajo costo.

La arquitectura del CPU propuesto tiene como punto de partida el trabajo de Emil L. Post, matemático estadounidense, que en la década de 1930 desarrolló, simultáneamente pero en forma independiente, un trabajo similar al del célebre matemático inglés Alan Turing, en lo referente a la conceptualización de una “máquina” computadora. Se ha optado por la “máquina” de Post y no por la “máquina” de Turing, debido a la menor complejidad de la primera respecto de la segunda. Específicamente, el conjunto de instrucciones de la máquina de Post es menor al de la máquina de Turing y, no obstante, ambas pueden considerarse computadoras de propósito general, lo que significa que ambas pueden emplearse para resolver problemas computables.

Para el diseño del sistema se emplea el enfoque a nivel de transferencia de registros (RTL, por sus siglas en inglés); se especifica el funcionamiento, a nivel de micro-código, mediante diagramas de máquinas de estado algorítmicas con ruta de datos (ASMD, por sus siglas en inglés) y se codifica el hardware mediante lenguaje VHDL.

En cuanto a la realización práctica, se empleará una tarjeta de desarrollo económica, con un FPGA de marca Xilinx, y el entorno de desarrollo Vivado.

El trabajo se compone así: en el [capítulo 1](#), se presenta el marco teórico y conceptual sobre la máquina de Post, así como las actualizaciones y mejoras propuestas en este trabajo; en el [capítulo 2](#), se expone la codificación de instrucciones y de programas para la máquina de Post actualizada y mejorada; en el [capítulo 3](#), se presenta el diseño lógico de la arquitectura propuesta y su especificación mediante diagramas ASDM; en el [capítulo 4](#), se presenta la especificación de la interfaz de entrada/salida para la realización práctica de un prototipo para la máquina de Post mejorada (MPM); finalmente, se presentan las [conclusiones](#) del autor. En los anexos se presenta el listado del código VHDL, así como las instrucciones particulares para la síntesis del hardware y su montaje en el FPGA de una tarjeta de experimentación de bajo costo.

El código VHDL del proyecto, para la realización práctica del prototipo propuesto, se encuentra disponible en el repositorio GitHub, tanto en el directorio principal como en la pestaña de versiones liberadas (*releases*):

https://github.com/galaguna/Posts_Machine_Reloaded_Booklet

Para desarrollar sus propias versiones, más elaboradas del prototipo original, por favor, haga una copia del proyecto (*fork the project*).

UN POCO DE HISTORIA

PODEMOS afirmar que los inicios de la computación moderna se remontan al siglo XIX, cuando Charles Babbage y Ada Lovelace conceptualizaron la «máquina analítica» [1] [5]. Así, mientras que a Charles Babbage se le reconoce como uno de los padres de la computación, a Ada Lovelace se la ha atribuido ser la primera mujer programadora de la historia.

El diseño de la máquina analítica de Charles Babbage incluía la mayoría de los bloques funcionales de una computadora actual. Charles Babbage las denominó de la siguiente manera (ver figura 1.1):

- el “almacén”,
- el “molino”,
- el “control”,
- la “entrada” y la “salida”.

En la actualidad, prevalecen los mismos bloques funcionales, pero algunos han actualizado sus nombres: el “almacén” corresponde con la memoria, el “molino” con la unidad central de procesamiento o CPU, mientras que el “control”, la “entrada” y la “salida” se han mantenido con el mismo nombre (ver figura 1.2).

Se supone, dado que nunca llegó a terminarse, que la máquina analítica de Charles Babbage se programaría a través de tarjetas perforadas y que el “almacén” contendría hasta 1000 números de 50 dígitos cada uno. En esta máquina el “control” ejecutaría la secuencia de operaciones indicadas en las tarjetas perforadas. Incluso, la máquina sería capaz de realizar bucles (repetir una o varias instrucciones el número de veces deseado) y podría tomar decisiones dependiendo del resultado de un cálculo intermedio.

El siguiente avance importante se dio con la conceptualización de las “máquinas” computadoras de Alan Turing [9] y Emil Post [8], en la década de 1930. Ambas “máquinas” pueden ser imaginadas como una cinta infinita con celdas y un carro, o cabezal, que revisa y modifica el estado las celdas. En las máquinas de Turing y

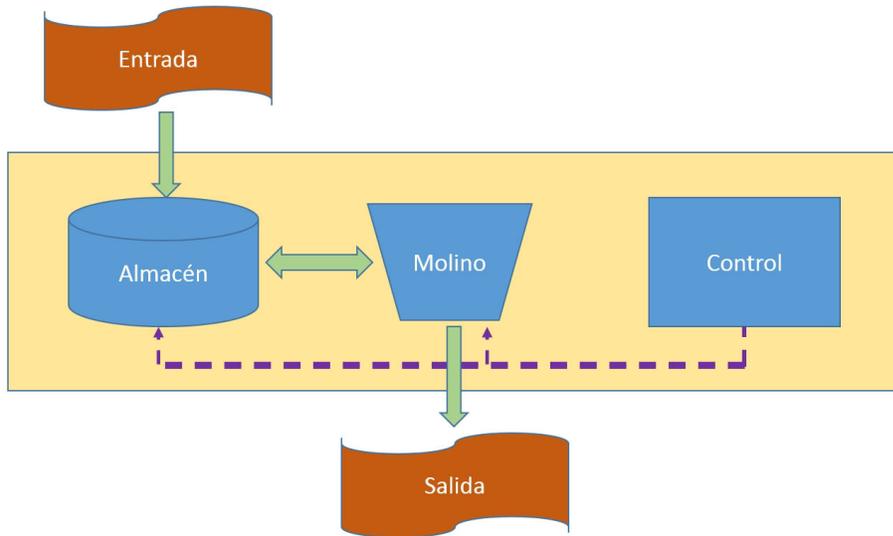


Figura 1.1: Bloques funcionales de la «máquina analítica» de Charles Babbage.

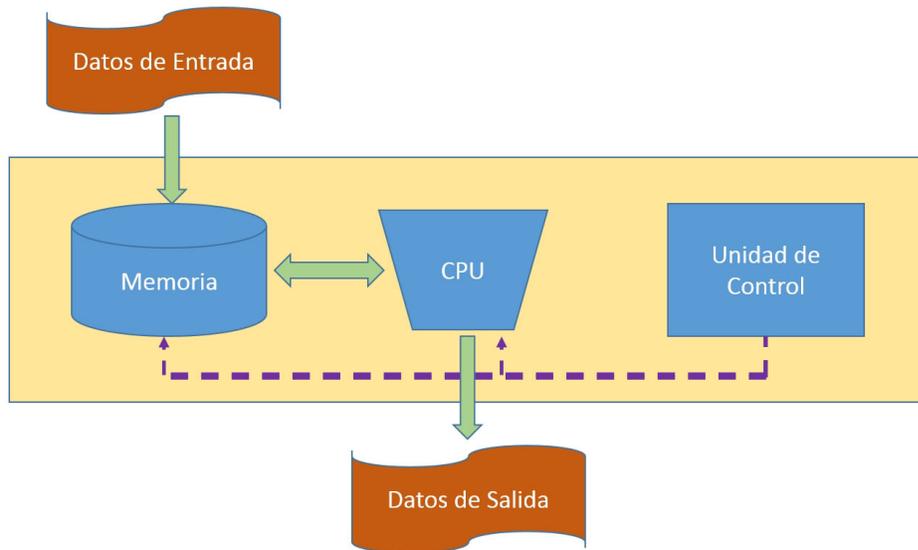


Figura 1.2: Bloques funcionales de una máquina computadora clásica.

de Post se prefiguró, con mucha claridad, el concepto de *algoritmo*, a partir de un conjunto de instrucciones, y se estudiaron tanto su potencial como sus limitaciones.

Como en este trabajo vamos a ver con detalle suficiente la máquina de Post, por ahora, sólo mencionaremos brevemente las aportaciones de Alan Turing. En primer lugar, a Turing se le atribuye la noción de procedimiento definido tal que, dado un problema particular, este se puede resolver mediante el diseño de una máquina de Turing dedicada, con un programa fijo, para tal efecto [7].

Posteriormente, la máquina de Turing dedicada evolucionó hacia la noción de «máquina universal», cuando el programa dejó de ser un programa fijo y se pudo emular el funcionamiento de cualquier máquina de Turing dedicada.

Finalmente, Alan Turing demostró formalmente que existen problemas computables y no computables. Es decir, problemas que se pueden resolver con un programa y problemas donde esto no es posible.

Por otro lado, en forma prácticamente paralela a los trabajos de Turing y Post, se construyeron las primeras computadoras electro-mecánicas y electrónicas, por ejemplo las de John von Neumann, en la década de 1940 [7] [5] [6].

Desde entonces, hemos atestiguado el fenómeno de democratización y convergencia de las tecnologías computacionales, informáticas y de comunicación electrónica. En las décadas de 1940 y 1950 se inició con la computación y el procesamiento de datos, pero únicamente disponibles a nivel de los estados/nación. Se trataba de computadoras con costos tan exorbitantes, que sólo los estados nacionales los podían absorber.

Se pasó entonces, en la década de 1960, a la computación y el procesamiento de datos al alcance de las empresas. Las computadoras ya podían ser adquiridas por las grandes corporaciones.

Después, en la década de 1970, se pasó a la computación y el procesamiento de datos grupal. Las computadoras estuvieron al alcance de los grupos de investigación, principalmente en las grandes universidades.

Luego, en la década de 1980, presenciamos un parteaguas tecnológico: la computación y el procesamiento de datos personales. Las computadoras finalmente estuvieron al alcance de las personas, aunque todavía eran fijas y relativamente caras, ya que sólo las podían adquirir las familias con los más altos ingresos económicos.

Finalmente, en la década de 1990, se cristalizó la computación y el procesamiento de datos ubicuo u omnipresente. Los dispositivos electrónicos, para el procesamiento de datos y las comunicaciones digitales inalámbricas, se hicieron tan pequeños y poderosos que se pudieron empacar en un solo dispositivo personal y portátil, que entonces se calificó como “móvil inteligente”.

Después de todo este trayecto histórico, y no obstante que el avance tecnológico ha sido inmenso, los conceptos básicos de la computación introducidos tanto por Babbage, como por Lovelace, Turing y Post, siguen siendo vigentes en la actualidad.

Así las cosas, debido precisamente al impresionante avance de la industria de los semiconductores, es que en la actualidad se cuenta con una cantidad abruma-

dora de recursos tecnológicos, tanto en el ámbito de los circuitos integrados como en el de los dispositivos de lógica programable, por lo que resulta un verdadero reto introducir a las nuevas generaciones de ingenieros en los campos del diseño lógico, los sistemas digitales y los sistemas micro-procesados.

LA MÁQUINA DE POST

En los trabajos originales de Emil L. Post y de Alan Turing no se especifica ninguna máquina real, tan sólo se trata del desarrollo de principios conceptuales, puestos a prueba mediante experimentos mentales. Es por ello que, en este par de casos, el término *máquina* puede colocarse entre comillas. En esencia, en ambas propuestas se bosquejaron los alcances y las limitaciones de todo algoritmo. No obstante lo antes expuesto, es perfectamente posible especificar una máquina real a partir de los trabajos de Post y Turing. Y, en efecto, así lo hizo el matemático ruso Vladimir A. Uspenski [10], quien visualizó y aprovechó el potencial de la máquina de Post, particularmente con fines pedagógicos y, para ello, desarrolló una especificación funcional de fácil comprensión para un amplio público.

Para empezar, conviene señalar que el ejercicio que propone Post se sustenta en la manipulación de un conjunto infinito de casillas o cajas (que Uspenski representa mediante una cinta con un número infinito de celdas), ordenadas y numeradas, que adicionalmente pueden estar marcadas o no. También existe un “operador” que sigue una secuencia de instrucciones y, con base en estas y en el contenido de las casillas, puede modificar el estado de las casillas para, dado el caso, concluir la secuencia de instrucciones y dejar al conjunto de casillas con un estado diferente al inicial.

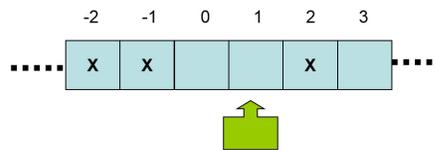


Figura 1.3: «Hardware» para la máquina de Post.

La especificación para el funcionamiento de la máquina de Post, tomado como referencia básica el trabajo de Uspenski [10], puede expresarse en forma relativamente simple. La estructura tangible de la máquina de Post, o el «hardware», estaría conformado por lo siguiente:

1. Una cinta con celdas y un carro, o cabezal, de lectura/escritura (ver la fig. 1.3).
2. Se usan números enteros para ordenar las celdas de la cinta.
3. Las celdas pueden estar marcadas o no. En la figura 1.3, las marcas se indican mediante una 'x'.

4. El estado de la cinta lo constituye la información que indica cuáles celdas están marcadas y cuáles no. Esta información puede cambiar con el desarrollo del funcionamiento de la máquina.
5. Cada cierto tiempo (periodo o paso), el carro se puede mover, a la derecha o a la izquierda, y ello permite leer o escribir el estado de una celda.
6. El estado de la máquina de Post lo constituye la información que indica el estado de la cinta y la posición del carro.

Por otra parte, la secuencia de instrucciones, o el «software», de la máquina de Post estaría definido para operar como sigue:

1. La secuencia de instrucciones que determina el movimiento del carro, así como la lectura y la escritura de las celdas, para marcarlas o borrarlas, se denomina *programa*.
2. Cada instrucción tiene asociado un número natural (mayor o igual a 1), para indicar su posición en la secuencia de instrucciones, que se denomina número de la instrucción i .
3. Finalmente, cada instrucción también especifica el número de la siguiente instrucción j . Cuando la instrucción es condicional y, por lo tanto, permite controlar el flujo del programa, contiene dos posibles índices j para la siguiente instrucción: j_1 y j_2 . Así, si se cumple la condición, se brinca a j_1 ; en otro caso, se brinca a j_2 .
4. El conjunto de instrucciones de la máquina de Post original sólo contempla seis operaciones:
 - Movimiento a la derecha, que denotaremos con la sintaxis `i.rmov, j`
 - Movimiento a la izquierda, que denotaremos con la sintaxis `i.lmov, j`
 - Impresión de marca, que denotaremos con la sintaxis `i.print, j`
 - Borrado de marca, que denotaremos con la sintaxis `i.clr, j`
 - Salto condicional, que denotaremos con la sintaxis `i.ifempty j1 else j2`
 - Parada, que denotaremos con la sintaxis `i.stop`

En la máquina de Post, claramente se encuentra separado el espacio de código (donde se aloja el programa) del espacio de datos (la cinta con las celdas y su contenido), por lo tanto, se dice que se trata de una computadora con *arquitectura Harvard*. Las computadoras que en un mismo espacio colocan tanto código como datos se denominan como de *arquitectura Von Neumann* [11].

En toda computadora es necesario precargar el programa y también el estado inicial de los datos, es decir, en nuestro caso, el estado inicial de la cinta. En la máquina de Post, se sugiere que el carro siempre inicie en la posición de la celda No. 0, a la vez que el apuntador de instrucciones señala a la instrucción No. 1.

Se puede resumir el funcionamiento de la máquina de Post como sigue:

- La máquina arranca en el estado inicial y ejecuta la primera instrucción, es decir la instrucción No. 1.
- En cada paso se ejecuta una instrucción.
- Después de ejecutada la instrucción i , se ejecuta la instrucción j especificada por la misma instrucción i .
- Se continúa con la ejecución de las instrucciones, hasta encontrar la instrucción de parada (`stop`) o una instrucción no definida.

Aunque la máquina de Post original no permite borrar celdas vacías o sobrescribir en celdas marcadas, so pena de “romper la máquina”, en nuestro caso se relajará esta restricción, para permitirlo, sin que ello implique ningún problema práctico.

CONJUNTO DE INSTRUCCIONES PARA LA MÁQUINA DE POST

Las seis instrucciones de la máquina de Post, representadas por la sintaxis propuesta en este trabajo, se explicarán con más detalle a continuación.

Instrucción de movimiento a la derecha. Se expresa mediante la sintaxis:

`i. rmov, j`

y se lee: “La instrucción i ordena a la máquina mover el carro una celda a la derecha y continuar con la instrucción j ”.

Instrucción de movimiento a la izquierda. Se expresa mediante la sintaxis:

`i. lmov, j`

y se lee: “La instrucción i ordena a la máquina mover el carro una celda a la izquierda y continuar con la instrucción j ”.

Instrucción de impresión de marca. Se expresa mediante la sintaxis:

`i. print, j`

y se lee: “La instrucción i ordena a la máquina marcar la celda en la posición del carro y continuar con la instrucción j ”.

Instrucción de borrado. Se expresa mediante la sintaxis:

`i. clr, j`

y se lee: “La instrucción i ordena a la máquina limpiar la celda en la posición del carro y continuar con la instrucción j ”.

Instrucción de salto condicional. Se expresa mediante la sintaxis:

`i. ifempty j1 else j2`

y se lee: "La instrucción i ordena a la máquina continuar con la instrucción j_1 , si la celda en la posición del carro está vacía, o con la instrucción j_2 , si la celda está marcada".

Instrucción de parada. Se expresa mediante la sintaxis:

`i. stop`

y se lee: "La instrucción i ordena a la máquina parar la ejecución de instrucciones".

EJEMPLO DE PROGRAMA PARA LA MÁQUINA DE POST

Un programa no es más que un conjunto de instrucciones y es, precisamente, mediante un programa que se codifica un algoritmo. A su vez, un algoritmo no es más que un procedimiento, bien definido, a fin de resolver un problema computable. A fin de comprender mejor la idea de programa, y su ejecución en una máquina de Post, a continuación se presenta un sencillo ejemplo. Considere el siguiente programa:

1. `print, 4`
2. `clr, 3`
3. `lmov, 2`
4. `rmov, 5`
5. `ifempty 4 else 3`

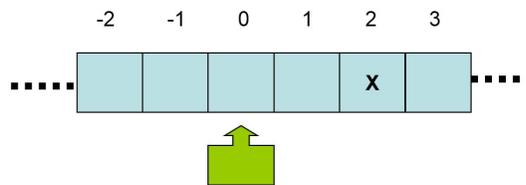


Figura 1.4: Estado inicial de la cinta.

Una vez inicializada la máquina de Post, el índice de la instrucción apunta a la instrucción número 1 y el carro se encuentra frente a la celda número 0 de la cinta. Se asume que la cinta ha sido precargada con los datos iniciales, por ejemplo, considere el estado inicial de la cinta que se muestra en la figura 1.4. En este punto, la máquina se encuentra lista para la ejecución del programa.

En la figura 1.5 se ilustra el estado de la máquina justo al inicio de la ejecución del programa.

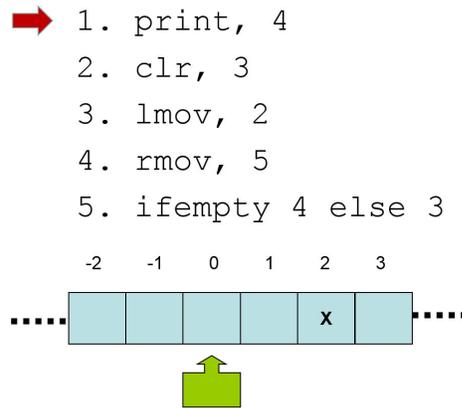


Figura 1.5: Estado inicial de la máquina de Post.

La ejecución de la instrucción No. 1 implica marcar la celda en turno, como se muestra en la figura 1.6 y, a continuación, saltar a la instrucción No. 4. Al terminar la ejecución de la instrucción No. 1, la máquina queda como se muestra en la figura 1.7.

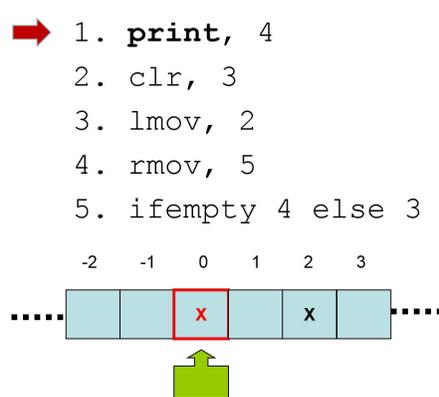


Figura 1.6: Instrucción No. 1: **print**.

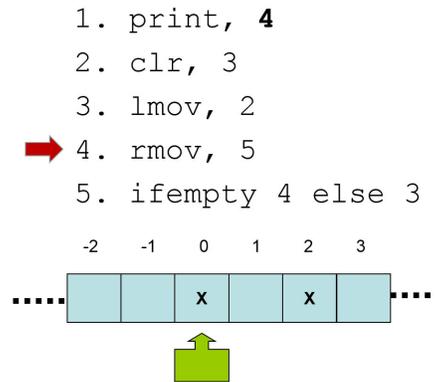


Figura 1.7: Instrucción No. 1: Salto a la instrucción No. 4.

La ejecución de la instrucción No. 4 implica mover el carro a la derecha, como se muestra en la figura 1.8 y, a continuación, saltar a la instrucción No. 5. Al terminar la ejecución de la instrucción No. 4, la máquina queda como se muestra en la fig. 1.9.

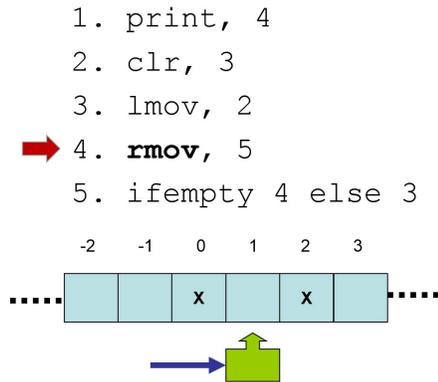


Figura 1.8: Instrucción No. 4 (primera vez): **rmov**.

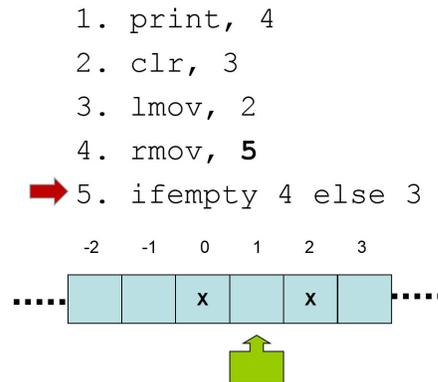


Figura 1.9: Instrucción No. 4 (primera vez): Salto a la instrucción No. 5.

La ejecución de la instrucción No. 5 implica revisar el estado de la celda frente al carro, como se muestra en la figura 1.10 y, a continuación, saltar a la instrucción No. 4 si la celda está vacía o, en otro caso, saltar a la instrucción No. 3. Dado que la celda está vacía, se salta a la instrucción No. 4. Al terminar la ejecución de la instrucción No. 5, la máquina queda como se muestra en la figura 1.11.

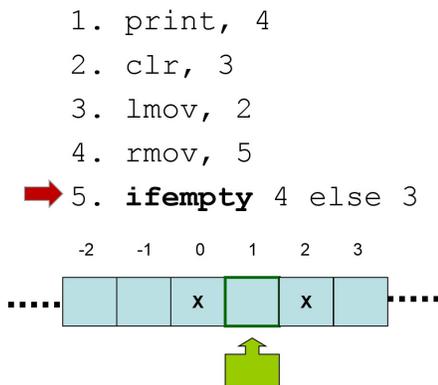


Figura 1.10: Instrucción No. 5 (primera vez): **ifempty** 4 else 3.

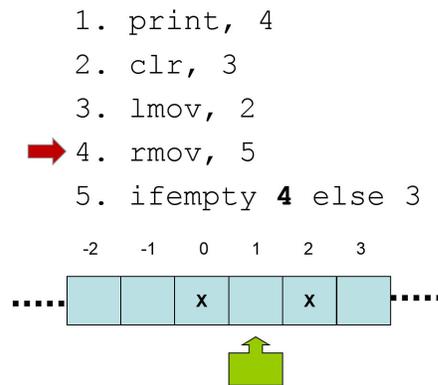


Figura 1.11: Instrucción No. 5 (primera vez): Salto condicional a la instrucción No. 4.

De nueva cuenta, la ejecución de la instrucción No. 4 implica mover el carro a la derecha, como se muestra en la figura 1.12 y, a continuación, saltar a la instrucción No. 5. Al terminar esta ejecución de la instrucción No. 4, la máquina queda como se muestra en la figura 1.13.

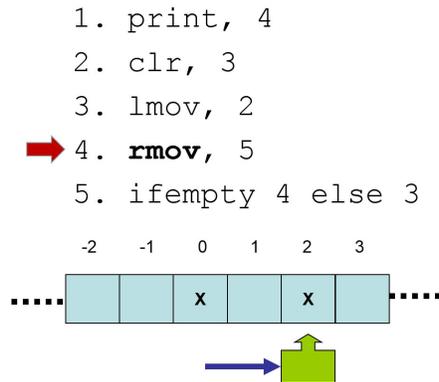


Figura 1.12: Instrucción No. 4 (segunda vez): **rmov**.

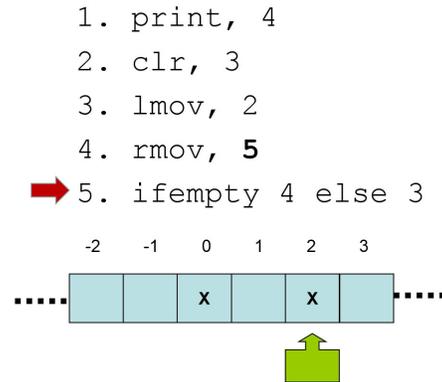


Figura 1.13: Instrucción No. 4 (segunda vez): Salto a la instrucción No. 5.

Toca el turno, nuevamente, a la ejecución de la instrucción No. 5. Se revisa el estado de la celda frente al carro, como se muestra en la figura 1.14 y, a continuación, dado que la celda está marcada, se salta a la instrucción No. 3. Al terminar la ejecución de esta instrucción No. 5, la máquina queda como se muestra en la figura 1.15.

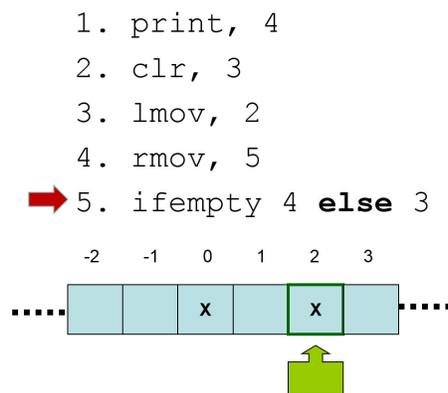


Figura 1.14: Instrucción No. 5 (segunda vez): **ifempty 4 else 3**.

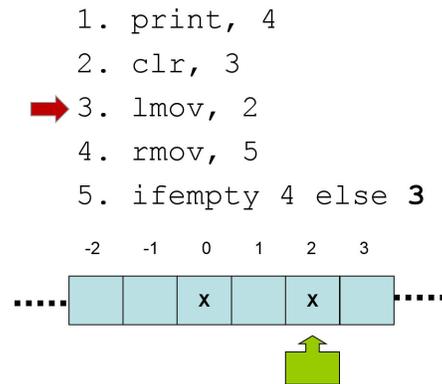


Figura 1.15: Instrucción No. 5 (segunda vez): Salto condicional a la instrucción No. 3.

La ejecución de la instrucción No. 3 implica mover el carro a la izquierda, como se muestra en la fig. 1.16 y, a continuación, saltar a la instrucción No. 2. Al terminar la ejecución de la instrucción No. 3, la máquina queda como se muestra en la fig. 1.17.

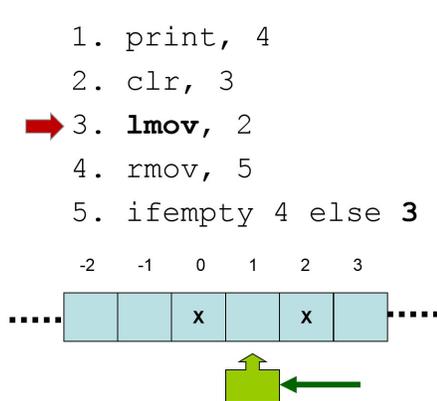


Figura 1.16: Instrucción No. 3: **lmov**.

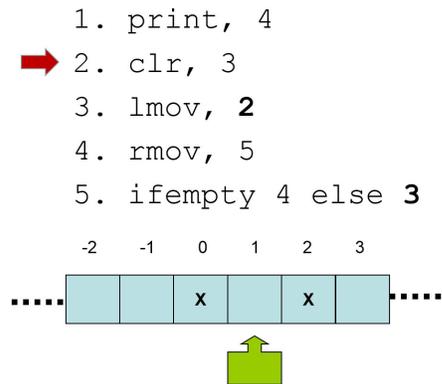


Figura 1.17: Instrucción No. 3: Salto a la instrucción No. 2.

La ejecución de la instrucción No. 2 implica limpiar la celda frente al carro y, luego, saltar a la instrucción No. 3. La máquina original de Post no permite borrar celdas vacías, ni escribir celdas marcadas, dado que en ese supuesto la máquina se descompone. En nuestro caso, no hay ningún problema en relajar esta restricción y, por lo tanto, vamos a permitir a la máquina borrar celdas vacías y escribir celdas marcadas.

Dicho lo anterior, después de ejecutar esta instrucción No. 2, la celda frente al carro permanece vacía y se salta a la instrucción No. 3 que, a su vez remite a la instrucción No. 2. Con esto, se entra en un bucle infinito, dado que no aparece ninguna instrucción de parada (*stop*) y se repite indefinidamente la ejecución de las instrucciones No. 2 y No. 3.

No debe causar ninguna frustración la aparente inutilidad de este primer programa. En realidad, se trata sólo de un ejemplo para mostrar la idea general detrás del funcionamiento de la máquina de Post. En la siguiente sección vamos a presentar un programa con un propósito más claro.

OPERACIÓN DE INCREMENTO DE UN NÚMERO NATURAL
CON LA MÁQUINA DE POST

Dentro del conjunto de instrucciones de la máquina de Post no existe ninguna operación aritmética, como la suma o la multiplicación, entonces alguien podría preguntarse si es que con la máquina de Post no se pueden realizar operaciones aritméticas. La respuesta es que sí se puede, en tanto que las operaciones aritméticas son problemas computables y dado que la máquina de Post es una máquina de cómputo universal y, por lo tanto, puede resolver cualquier problema computable, como lo son las operaciones aritméticas. El problema de fondo es, en realidad, determinar la codificación que se va a emplear para representar a los números que se operan.

Supóngase que se requiere un programa para resolver el problema del incremento de un número natural. Se decide que una forma conveniente de representar, en la máquina de Post, a los números naturales es mediante tantas marcas consecutivas como el número mismo. Por ejemplo, si queremos representar al número 1, su representación consiste de una sola marca. En cambio, si se requiere representar al número 5, entonces, se trataría de una secuencia de cinco marcas consecutivas.

Dicho lo anterior, una solución para el problema de incremento se reduce escribir un programa para la máquina de Post tal que, dado el estado inicial de la cinta con n marcas consecutivas y el carro frente a la marca de la extrema izquierda, al terminar el programa, la cinta contenga $n + 1$ marcas. Por ejemplo, considere el siguiente código:

```
1. rmov, 2
2. ifempty 3 else 1
3. print, 4
4. stop
```

También, considere el estado inicial de la cinta mostrado en la figura 1.18 que, en esencia, proporciona como dato de entrada el número 3. Por lo tanto, si el programa funciona correctamente, al finalizar su ejecución, deberá dejar un total de 4 marcas consecutivas en la cinta, lo que corresponde al número 4 como dato de salida.

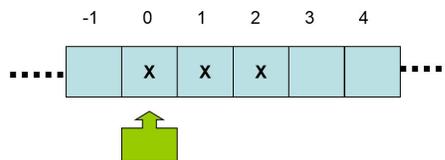


Figura 1.18: Representación del número 3 como dato de entrada para el programa de incremento.

Una vez inicializada la máquina de Post, el índice de la instrucción apunta a la instrucción número 1 y el carro se encuentra frente a la celda número 0 de la cinta. Se asume que la cinta ha sido precargada con el dato de entrada, por ejemplo, con el número 3. En este punto, la máquina se encuentra lista para la ejecución del programa de incremento, tal y como se ilustra en la figura 1.19.

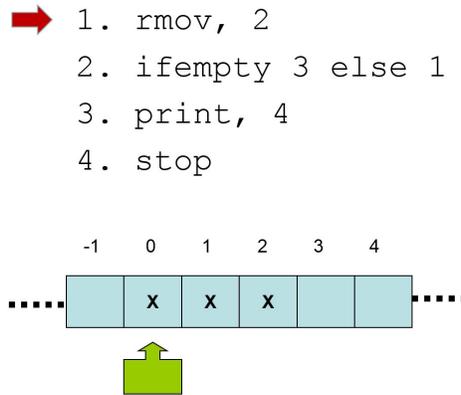


Figura 1.19: Estado inicial de la máquina con el programa de incremento.

La ejecución de la instrucción No. 1 implica mover el carro a la derecha, como se muestra en la fig. 1.20 y, a continuación, saltar a la instrucción No 2. Al terminar la ejecución de la instrucción No. 1, la máquina queda como se muestra en la fig. 1.21.

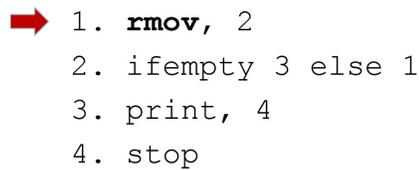


Figura 1.20: Instrucción No. 1 (primera vez): rmov.

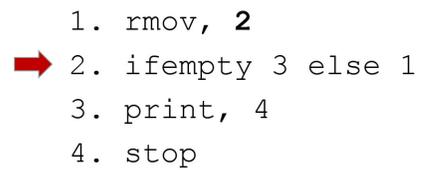


Figura 1.21: Instrucción No. 1 (primera vez): Salto a la instrucción No. 2.

La ejecución de la instrucción No. 2 implica revisar el estado de la celda frente al carro, como se muestra en la figura 1.22 y, a continuación, saltar a la instrucción No. 3 si la celda está vacía o, en otro caso, saltar a la instrucción No. 1. Dado que la celda está marcada, se salta a la instrucción No. 1. Al terminar la ejecución de la instrucción No. 2, la máquina queda como se muestra en la figura 1.23.

```

1. rmov, 2
➔ 2. ifempty 3 else 1
3. print, 4
4. stop

```

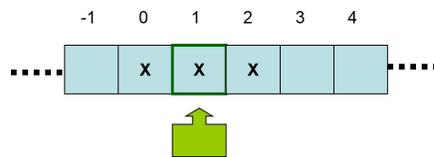


Figura 1.22: Instrucción No. 2 (primera vez): `ifempty 3 else 1`.

```

➔ 1. rmov, 2
2. ifempty 3 else 1
3. print, 4
4. stop

```

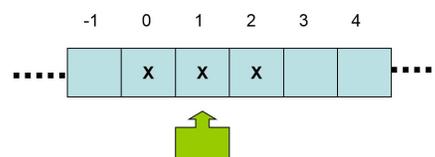


Figura 1.23: Instrucción No. 2 (primera vez): Salto condicional a la instrucción No. 1.

Se repite la ejecución de la instrucción No. 1, moviéndose el carro a la derecha, como se muestra en la figura 1.24 y, a continuación, se salta a la instrucción No. 2. Al terminar esta segunda ejecución de la instrucción No. 1, la máquina queda como se muestra en la figura 1.25.

```

➔ 1. rmov, 2
2. ifempty 3 else 1
3. print, 4
4. stop

```

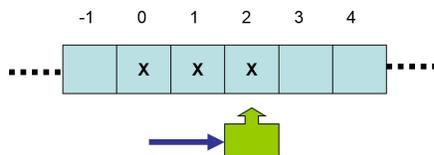


Figura 1.24: Instrucción No. 1 (segunda vez): `rmov`.

```

1. rmov, 2
➔ 2. ifempty 3 else 1
3. print, 4
4. stop

```

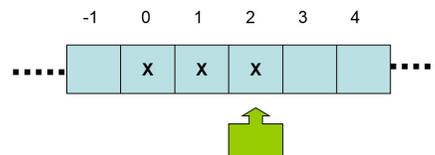


Figura 1.25: Instrucción No. 1 (segunda vez): Salto a la instrucción No. 2.

La instrucción No. 2 se ejecuta nuevamente y revisa el estado de la celda frente al carro (ver figura 1.26), como la celda está marcada, se salta a la instrucción No. 1. Al terminar esta ejecución de la instrucción No. 2, la máquina queda como se muestra en la figura 1.27.

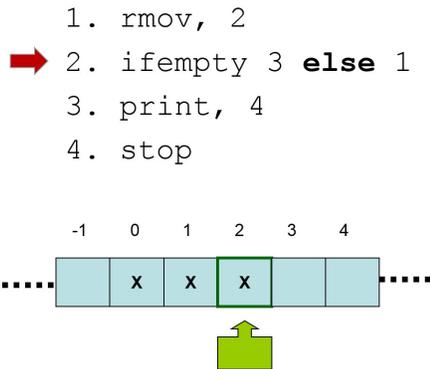


Figura 1.26: Instrucción No. 2 (segunda vez): ifempty 3 else 1.

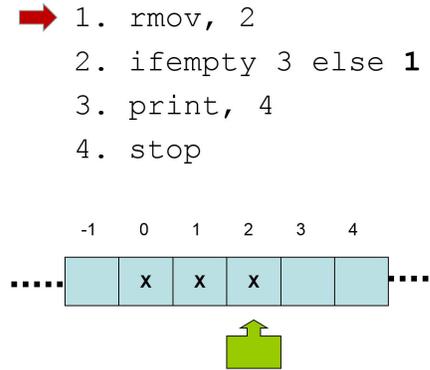


Figura 1.27: Instrucción No. 2 (segunda vez): Salto condicional a la instrucción No. 1.

Por tercera vez, se repite la ejecución de la instrucción No. 1, moviendo el carro a la derecha, como se muestra en la figura 1.28 y, a continuación, se salta a la instrucción No. 2. Al terminar esta tercera ejecución de la instrucción No. 1, la máquina queda como se muestra en la figura 1.29.

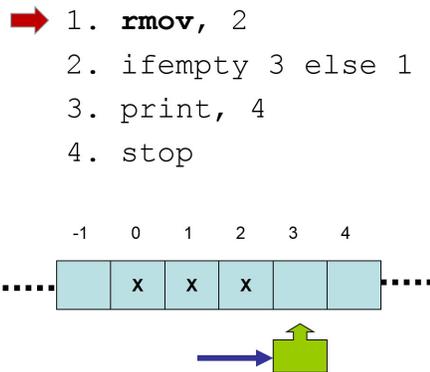


Figura 1.28: Instrucción No. 1 (tercera vez): rmov.

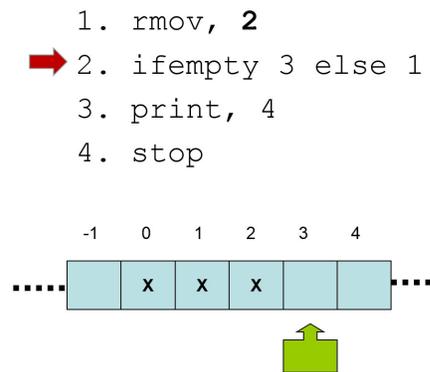


Figura 1.29: Instrucción No. 1 (tercera vez): Salto a la instrucción No. 2.

La instrucción No. 2 se ejecuta por tercera vez. Se revisa el estado de la celda frente al carro (ver figura 1.30), pero como en esta ocasión la celda está vacía, se salta a la instrucción No. 3. Al terminar la tercera ejecución de la instrucción No. 2, la máquina queda como se muestra en la figura 1.31.

```

1. rmov, 2
➔ 2. ifempty 3 else 1
   3. print, 4
   4. stop

```

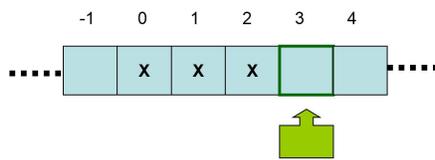


Figura 1.30: Instrucción No. 2 (tercera vez): **ifempty 3 else 1**.

```

1. rmov, 2
   2. ifempty 3 else 1
➔ 3. print, 4
   4. stop

```

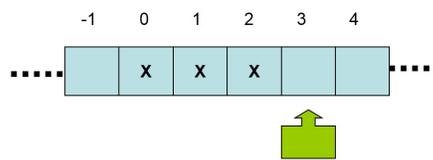


Figura 1.31: Instrucción No. 2 (tercera vez): Salto condicional a la instrucción No. 3.

La ejecución de la instrucción No. 3 implica marcar la celda frente al carro (ver figura 1.32) y, a continuación, saltar a la instrucción No. 4 (ver figura 1.33).

```

1. rmov, 2
   2. ifempty 3 else 1
➔ 3. print, 4
   4. stop

```

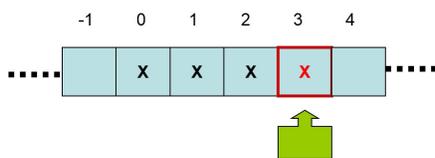


Figura 1.32: Instrucción No. 3: **print**.

```

1. rmov, 2
   2. ifempty 3 else 1
➔ 3. print, 4
   4. stop

```

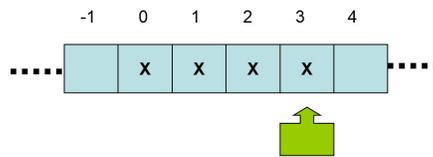


Figura 1.33: Instrucción No. 3: Salto a la instrucción No. 4.

Finalmente, se llega a la ejecución de la instrucción No. 4. Tal y como es de esperar, su única función es detener la ejecución del programa. Por lo tanto, una vez que se ejecuta la instrucción No. 4 (ver figura 1.34), la cinta contiene el resultado de la operación que, en este caso, muestra cuatro marcas, es decir el número 4.

Si consideramos que iniciamos con tres marcas, para representar al número 3, es claro que el resultado del programa corresponde exactamente con la operación de incremento.

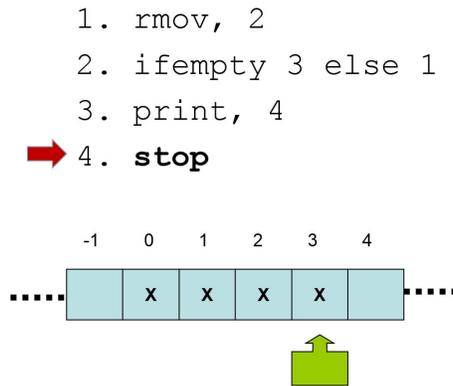


Figura 1.34: Instrucción No. 4: **stop** y estado final de la cinta con el resultado.

Como se ha visto, la máquina de Post, no obstante su reducido conjunto de instrucciones, permite resolver problemas computables mediante el concepto de algoritmo y su debida codificación en un programa.

Ahora, es tiempo de proponer algunas mejoras a la máquina de Post original, a fin de facilitar su realización práctica en un prototipo funcional. En esencia, la idea principal consiste en simplificar la sintaxis de las instrucciones, asumiendo que, en general, la ejecución de las instrucciones en una máquina computadora moderna real se realiza en forma secuencial. Debido a esto y a fin de mantener la posibilidad de dar saltos cuando sea necesario, también se agrega una instrucción explícita de salto (*jump*, en inglés).

PROPUESTA DE ACTUALIZACIÓN Y MEJORA PARA LA MÁQUINA DE POST

A fin de construir un sistema digital, para emular el funcionamiento de una máquina de Post, en este trabajo se propone realizar algunas mejoras a la especificación original de Uspenski [10]. A esta variante se le denominará *máquina de Post mejorada* o MPM.

En primer lugar, la cinta con celdas se reemplaza por una memoria con direccionamiento para N localidades de 1 bit, donde cada localidad de datos puede contener un cero o un uno, tal y como se puede apreciar en la figura 1.35. En esta nueva representación, una celda corresponde a una localidad de datos mientras que el carro corresponde al apuntador de datos, es decir, al registro conocido como *data pointer* (DP), que indica la dirección de la localidad de datos en turno.

En segundo lugar, a cada localidad de datos se le asocia una dirección con un entero no negativo. Así, la primera localidad de datos tiene la dirección 0, mientras

que la última corresponde a $N - 1$. El número de localidades ahora será finito, pero se puede solventar esta restricción diseñando el espacio de datos a la manera de un buffer circular. En este último caso, cuando el DP rebasa la última dirección, se regresa a la dirección 0.

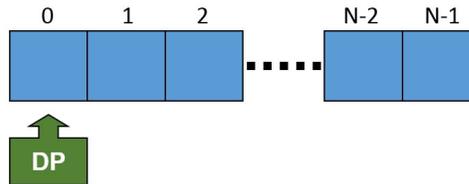


Figura 1.35: Hardware para la máquina de Post mejorada (MPM).

Respecto de la ejecución de los programas, ahora se debe tener en cuenta que las instrucciones se encuentran alojadas en una memoria de código, sujeta a las siguientes consideraciones:

1. El programa lo constituye la secuencia de instrucciones, almacenadas en una memoria exclusiva para el código, que operan sobre el registro DP, incrementándolo o decrementándolo, para leer o escribir unos y ceros en la localidad apuntada dentro de la memoria de datos.
2. Cada instrucción tiene asociada la dirección de la localidad de memoria de código, donde se encuentra almacenada, indicando con un número entero no negativo su posición absoluta dentro de la secuencia total de instrucciones. Esta dirección se denomina «dirección del código» y se denota por el índice i .
3. Cada instrucción se ejecuta en forma consecutiva, empezando con la que se encuentra en la dirección 0 y continuando en forma ascendente, excepto cuando aparece una instrucción de salto, en cuyo caso se especifica la dirección de la siguiente instrucción denotada por el índice j . El apuntador que indica la instrucción por ejecutar se conoce como registro *instruction pointer* (IP). Esta es una innovación importante, ya que ello permite prescindir, dentro de la sintaxis de las instrucciones y en la mayoría de los casos, del índice j que indicaría cuál es la siguiente instrucción a ejecutar. Por la misma razón, a fin de poder realizar saltos cuando se requiera, es que surge la necesidad de incorporar una instrucción específica para ello.
4. Entonces, en la versión mejorada de la máquina de Post, el conjunto de instrucciones contempla siete operaciones, a saber:
 - Incremento del DP, con la sintaxis $i.incdp$
 - Decremento del DP, con la sintaxis $i.decdp$

- Escritura de uno, con la sintaxis `i . set`
- Escritura de cero, con la sintaxis `i . clr`
- Salto, con la sintaxis `i . jmp j`
- Salto condicional, si la localidad contiene un cero, con la sintaxis `i . jz j`
- Parada, con la sintaxis `i . stop`

No está por demás resaltar que, en la máquina de Post mejorada, el programa opera sobre las localidades de la memoria de datos, que contienen unos y ceros, de tal suerte que los valores iniciales de las localidades en la memoria constituyen los datos de entrada, mientras que los valores finales constituyen los datos de salida.

CONJUNTO DE INSTRUCCIONES PARA LA MÁQUINA DE POST MEJORADA

Las siete instrucciones indispensables de la máquina de Post mejorada, conjuntamente con su sintaxis, se detallan a continuación.

Instrucción de incremento del apuntador de datos DP. Se expresa mediante la sintaxis:

`i . incdp`

y se lee: “La instrucción en la dirección de código i ordena a la máquina incrementar el apuntador de datos”.

Es importante mencionar que los sistemas digitales reales se encuentran sujetos a las restricciones que impone el tamaño de la memoria, razón por la que los apuntadores normalmente están asociados a una estructura de datos finita. Asumiremos que la estructura de datos para contener los datos es una cola circular de tamaño N , donde la localidad inferior tiene la dirección 0, mientras que la superior tiene la dirección $N - 1$. En una cola circular, cuando el apuntador DP alcanza el extremo superior ($N - 1$), al incrementarlo se le fuerza a que tome el valor 0.

Instrucción de decremento del apuntador de datos DP. Se expresa mediante la sintaxis:

`i . decdp`

y se lee: “La instrucción en la dirección de código i ordena a la máquina decrementar el apuntador de datos”.

Bajo el mismo supuesto, empleando una cola circular de tamaño N , cuando el apuntador DP se encuentra el extremo inferior (0), al decrementarlo se le fuerza a que tome el valor máximo ($N - 1$).

Instrucción de escritura de uno. Se expresa mediante la sintaxis:

`i . set`

y se lee: “La instrucción en la dirección de código i ordena a la máquina escribir 1 en la localidad indicada por el apuntador de datos”.

Instrucción de escritura de cero. Se expresa mediante la sintaxis:

$i.$ `clr`

y se lee: “La instrucción en la dirección de código i ordena a la máquina escribir 0 en la localidad indicada por el apuntador de datos”.

Instrucción de salto. Se expresa mediante la sintaxis:

$i.$ `jmp j`

y se lee: “La instrucción en la dirección de código i ordena a la máquina saltar a la instrucción en la dirección de código j ”.

Instrucción de salto condicional. Se expresa mediante la sintaxis:

$i.$ `jz j`

y se lee: “La instrucción en la dirección de código i ordena a la máquina saltar a la instrucción en la dirección de código j si el bit indicado por el apuntador de datos es cero”.

Instrucción de parada. Se expresa mediante la sintaxis:

$i.$ `stop`

y se lee: “La instrucción en la dirección de código i ordena a la máquina parar la ejecución del programa”.

A fin de mostrar lo mucho que se simplifican la escritura y la lectura de los programas al emplear el nuevo conjunto de instrucciones de la MPM, a continuación, seguiremos paso a paso la ejecución de un programa que realiza la operación aritmética de incremento, previamente estudiada, pero esta vez para el caso de la máquina de Post mejorada.

OPERACIÓN DE INCREMENTO DE NÚMEROS NATURALES CON LA MÁQUINA DE POST MEJORADA

Supóngase que ahora se requiere un programa para resolver el mismo problema del incremento de un número natural, pero esta vez mediante la máquina de Post mejorada. También se opta por representar a los números naturales mediante tantos unos consecutivos como el número mismo. Por ejemplo, si queremos representar al número 1, su representación consiste de un solo bit en uno. En cambio, si se requiere representar al número 3, entonces, se trataría de una secuencia de tres unos consecutivos.

En este caso, una solución para el problema de incremento consiste en un programa que, partiendo del estado inicial de la memoria de datos con n unos consecutivos y el apuntador de datos en el bit en uno con la dirección más baja, al

terminar su ejecución, la memoria de datos contenga $n + 1$ unos consecutivos. Por ejemplo, sea el siguiente código:

```
0. incdp
1. jz 3
2. jmp 0
3. set
4. stop
```

También, considere el estado inicial de la máquina que se muestra en la figura 1.36, donde se observa que el dato de entrada es el número 2. Por lo tanto, si el programa funciona correctamente, al finalizar su ejecución, deberá dejar a la máquina con un total de 3 unos consecutivos en la memoria de datos, lo que corresponde al número 3 como resultado de la operación.

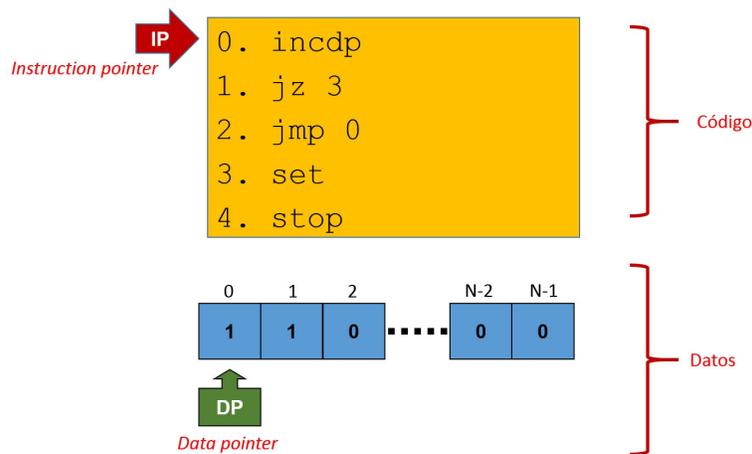


Figura 1.36: Estado inicial de la MPM y un programa de incremento.

Se asume que al inicializar la máquina de Post mejorada, el apuntador de instrucciones IP señala a la dirección 0 del espacio de código, mientras que el apuntador de datos DP señala a la localidad con dirección 0 del espacio de datos. También se asume que las memorias, tanto la memoria de datos como la memoria de código, han sido precargadas, respectivamente, con la representación del parámetro de entrada y con los códigos de máquina que representan a las instrucciones. En este punto, la MPM se encuentra lista para la ejecución del programa de incremento, tal y como se ilustra en la figura 1.36.

La ejecución de la instrucción en la dirección 0 del código implica incrementar el apuntador de datos DP, como se muestra en la figura 1.37.

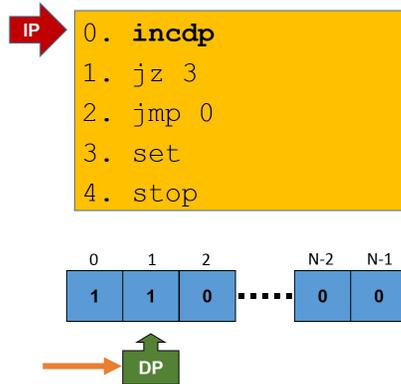


Figura 1.37: Instrucción en la “dirección” 0: **incdp** (primera vez).

A continuación, toca el turno a la ejecución de la instrucción en la dirección 1 del código. Esta instrucción revisa el estado del bit señalado por el apuntador de datos DP y si es cero brinca a la dirección 3 del espacio de código. Si no es cero el bit revisado, como es nuestro caso (ver figura 1.38), entonces simplemente se pasa a la siguiente instrucción en turno, en este caso la que se encuentra en la dirección 2 del espacio de código. El estado de la máquina, después de la ejecución de esta instrucción de salto condicional se muestra en la figura 1.39.

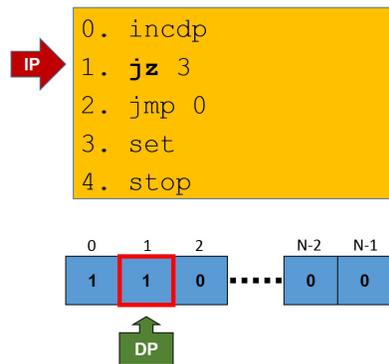


Figura 1.38: Instrucción en la “dirección” 1 del espacio de código: **jz 3** (primera vez).

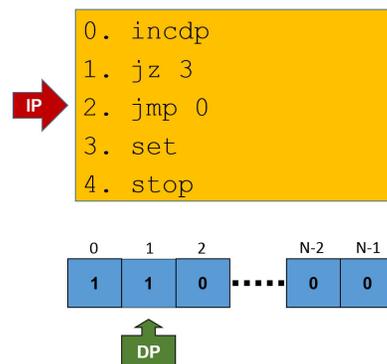


Figura 1.39: Estado al no cumplirse la condición de la instrucción **jz 3**.

Dadas las circunstancias, toca el turno a la ejecución de la instrucción en la dirección 2 del código, la que simplemente carga el registro del apuntador de instrucciones IP con la dirección 0 del espacio de código, tal y como puede apreciarse en la figura 1.40.

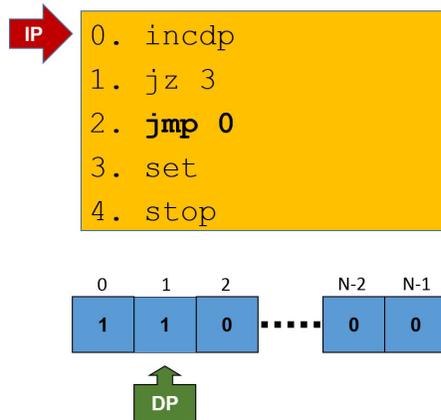


Figura 1.40: Instrucción en la "dirección" 2: **jmp 0**.

De nueva cuenta, se ejecuta la instrucción en la dirección 0 del código. Con ello, se incrementa el apuntador de datos DP, para quedar el estado de la máquina como se ilustra en la figura 1.41.

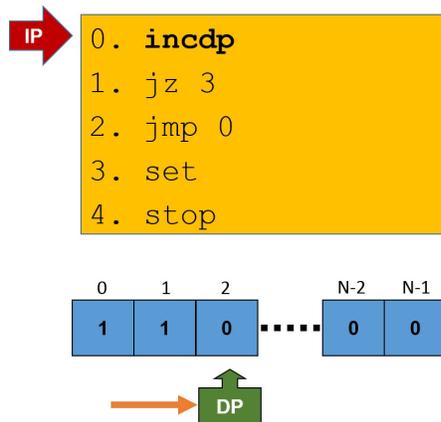


Figura 1.41: Instrucción en la "dirección" 0: **incdp** (segunda vez).

Por segunda ocasión, toca el turno a la ejecución de la instrucción de salto condicional en la dirección 1 del código (ver figura 1.42). Se revisa el estado del bit señalado por el apuntador de datos DP y, como esta vez es cero, brinca a la dirección 3 del espacio de código. El estado de la máquina, después de la ejecución de esta instrucción de salto condicional, se muestra en la figura 1.43.

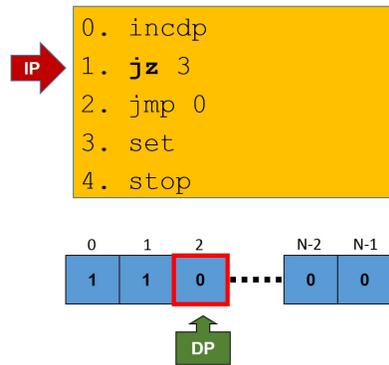


Figura 1.42: Instrucción en la “dirección” 1 del espacio de código: **jz 3** (segunda vez).

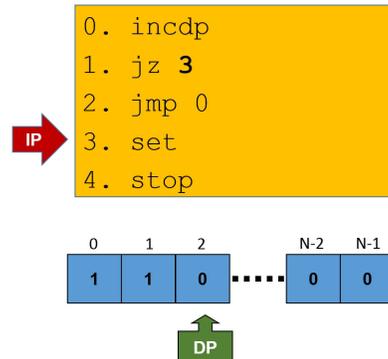


Figura 1.43: Estado al cumplirse la condición de la instrucción **jz 3**.

Como resultado del salto condicional, toca el turno a la ejecución de la instrucción en la dirección 3 del código, la que simplemente escribe 1 en la localidad señalada por el apuntador de datos DP, tal y como puede apreciarse en la figura 1.44.

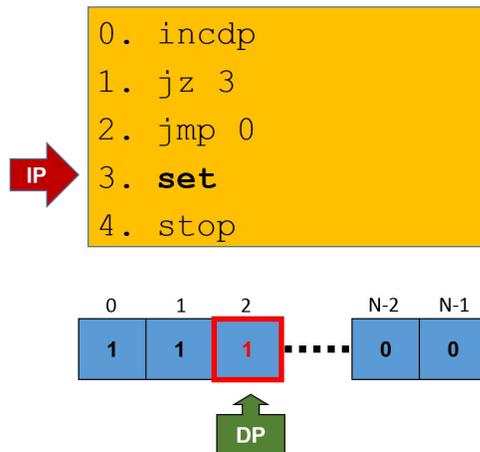


Figura 1.44: Instrucción en la “dirección” 3: **set**.

Finalmente, toca el turno a la ejecución de la instrucción alojada en la dirección 4 del espacio de código. Se trata de la instrucción de parada (stop), razón por la que, una vez ejecutada, la máquina detiene la ejecución del programa y su estado queda como se ilustra en la figura 1.45. Es claro que se trata de un programa de incremento, tomando en cuenta que al inicio había, en el espacio de datos, una secuencia de dos bits consecutivos (que representa al número 2) mientras que al concluir aparece una secuencia de tres bits consecutivos (que representa al número 3).

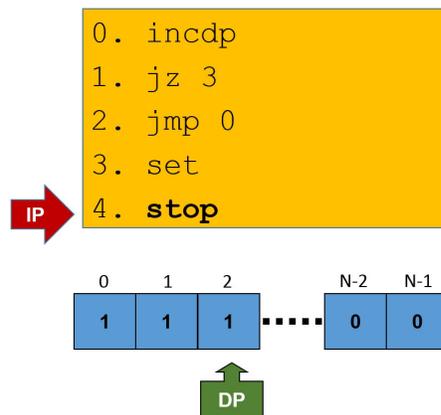


Figura 1.45: Instrucción en la "dirección" 4: **stop** y estado final de la MPM.

Como se puede constatar, tanto el conjunto de instrucciones de la máquina de Post original como el de la MPM, es decir la misma máquina en su versión mejorada, son equivalentes en tanto que ambos producen exactamente los mismos resultados. La ventaja de las instrucciones de la MPM es que se trata de un conjunto más afín a las instrucciones que realmente se encuentran disponibles, a nivel de lenguaje ensamblador, en los dispositivos microprocesadores modernos y, por lo tanto, su empleo es mucho más conveniente, con fines pedagógicos, a fin de introducir a los interesados en el ámbito de la programación de los sistemas.

LOS DISTINTOS TIPOS DE LENGUAJES DE PROGRAMACIÓN

En este punto es necesario distinguir entre los diferentes niveles de programación. En general, se le llama código fuente al archivo que contiene las instrucciones del programa que ha sido escrito con ayuda de un editor de textos. Este archivo es totalmente incomprensible para la máquina, pero al programador le permite expresar, en un lenguaje relativamente cercano al suyo, la idea del algoritmo que quiere implementar. La máquina sólo es capaz de interpretar números binarios,

así que las instrucciones que aparecen en el código fuente tienen que trasladarse a las secuencias de bits que realmente componen al código que la máquina puede decodificar. Este conjunto de bits, en el que se codifican las instrucciones de un programa, es lo que se conoce como código de máquina.

Dependiendo de la cercanía del lenguaje de programación, respecto del lenguaje del ser humano, es que se le cataloga como lenguaje de alto nivel, de mediano nivel o de bajo nivel [4].

Lenguaje de programación de alto nivel. Sus instrucciones emplean expresiones muy similares al lenguaje cotidiano del ser humano. Un ejemplo de este tipo de lenguaje de programación es Python.

Lenguaje de programación de mediano nivel. Sus instrucciones emplean expresiones que quedan a la mitad del camino entre el lenguaje del ser humano y los lenguajes de programación de bajo nivel. Un ejemplo de este tipo de lenguaje de programación es el C ANSI.

Lenguaje de programación de bajo nivel. Sus instrucciones emplean simples nemónicos que recuerdan la función de las instrucciones de la máquina computadora. El ejemplo emblemático de este tipo de lenguaje de programación es el que se conoce como «ensamblador».

También se pueden escribir programas para trasladar las instrucciones de un código fuente al código de máquina. Si el código fuente está escrito en un lenguaje de mediano o de alto nivel, a este tipo de programa traductor se le conoce como «compilador-enlazador» (*compiler-likier*). Por otro lado, si el código fuente se encuentra escrito en ensamblador, entonces el programa traductor se denomina, simple y llanamente, «ensamblador» (*assembler*).

Dicho lo anterior, se puede hacer notar que, en el caso particular de la máquina de Post que se estudia en este trabajo, la sintaxis presentada para el conjunto de instrucciones corresponde a la de un lenguaje ensamblador típico moderno. Más adelante se verá cómo es que a partir de un programa fuente (en ensamblador para la máquina de Post mejorada), es posible obtener el código de máquina que se va a cargar en la misma para su ejecución.

EN el capítulo 1 se conceptualizó el funcionamiento de la máquina de Post mejorada (MPM) y se estudió su programación en términos de una sintaxis de bajo nivel. En este capítulo se introduce la codificación del conjunto de instrucciones, como un elemento necesario para la obtención del código de máquina de la MPM y, a partir de ello, prefigurar las características del hardware requerido para leer, interpretar y operar los códigos de dichas instrucciones.

CODIFICACIÓN DEL CONJUNTO DE INSTRUCCIONES PARA LA MPM

Aunque el conjunto de instrucciones indispensables de la MPM incluye siete, se agregará una instrucción de no-operación (`nop`), que lo único que hace es consumir un ciclo de máquina, lo que resulta en un total de ocho instrucciones para la arquitectura funcional del CPU que se va a realizar. Dado que el número total de instrucciones es 8, también se requieren 8 códigos para su representación numérica, cada uno de los cuales puede ser conformado por tres bits, dado que las combinaciones con tres bits son $2^3 = 8$. Entonces, en el diseño que se propone, se emplearán registros de 4 bits (*nibbles*) para el almacenamiento en memoria de los códigos de las instrucciones. Esto permitirá manejar, con holgura suficiente, los códigos de instrucción a la vez que se hace posible que los parámetros de algunas instrucciones se puedan fragmentar y almacenar en grupos de *nibbles*. En el cuadro 2.1 se muestra un resumen para el conjunto de instrucciones especificado, así como la codificación propuesta en hexadecimal. Es claro que, dado que cada segmento del código se compone de 4 bits o un *nibble*, sólo se requiere de un dígito hexadecimal para su representación (en este trabajo, los números hexadecimales se denotan con el prefijo `0x`).

En el caso particular de las instrucciones de salto `jmp` y `jz`, nótese que cada código de instrucción se acompaña de dos *nibbles* adicionales que conforman la dirección destino en términos absolutos. En el cuadro 2.1, específicamente respecto de la dirección destino, se indica que el *nibble* 2 contiene los bits más significativos (MSB, por sus siglas en inglés), mientras que el *nibble* 3 contiene a los bits menos significativos (LSB, por sus siglas en inglés).

Cuadro 2.1: Instrucciones y códigos para la MPM.

Instrucción	Nemónico	Nibble 1 (código)	Nibble 2 Add MSB	Nibble 3 Add LSB
No operación	nop	0x0		
Incremento del DP	incdp	0x1		
Decremento del DP	decdp	0x2		
Escritura de uno	set	0x3		
Escritura de cero	clr	0x4		
Salto	jmp	0x5	Add 7-4	Add 3-0
Salto condicional	jz	0x6	Add 7-4	Add 3-0
Parada	stop	0x7		

Dada esta codificación para el conjunto de instrucciones, donde las direcciones destino son de 8 bits, ello significa que en la arquitectura propuesta se pueden direccionar hasta 256 localidades de memoria de código ($2^8 = 256$). Entonces, la memoria de código puede ser un arreglo de 256×4 bits (256 registros de 4 bits). Aunque es posible extender la capacidad de direccionamiento, mediante la simple incorporación de tantos *nibbles* de dirección como sean necesarios, aquí se optará por la codificación mostrada en el cuadro 2.1 en aras de simplificar el diseño lógico.

Por la misma razón, la memoria de datos, que en este caso representa a la cinta con sus celdas, puede ser un arreglo de 256×1 bits (256 registros de un bit). Entonces, la máquina de Post que se va a emular no cuenta con una cinta infinita, sino tan sólo con una cinta de 256 celdas. No obstante esta limitación, que también puede superarse mediante el incremento de la memoria de datos asignada, el sistema propuesto no colapsa, si se alcanza cualquiera de los límites, ya que la estructura de datos empleada es la de una cola circular. Por lo tanto, estando el *data pointer* en su límite superior, un incremento lo lleva al límite inferior y, de manera correspondiente, estando el *data pointer* en el límite inferior, un decremento lo lleva al límite superior.

CODIFICACIÓN, EN LENGUAJE DE MÁQUINA, DE LOS PROGRAMAS PARA LA MPM

Ahora se verá cómo codificar, en lenguaje de máquina, un programa para la máquina de Post mejorada. A manera de ejemplo, tomaremos el programa que incrementa números naturales:

0. incdp
1. jz 3
2. jmp 0
3. set
4. stop

En esta notación del programa, cada instrucción se encuentra indizada por un número no negativo. En principio, este número indica la dirección del espacio de código donde se encuentra la instrucción. Sin embargo, la realidad es que los números consecutivos que aparecen en el programa y que funcionan como índices de las instrucciones son, en realidad, etiquetas o rótulos que sirven para que el

programador las identifique de una forma sencilla. Estas etiquetas no le sirven a la máquina para realizar su trabajo. En estricto sentido, las direcciones reales de cada instrucción aparecen hasta que el programa se codifica en lenguaje máquina.

Para entender mejor este concepto, a continuación, se reescribe el mismo programa pero, esta vez, empleando etiquetas genéricas que resaltan el hecho de que, a nivel del código fuente, los índices que anteceden cada instrucción son tan sólo etiquetas que auxilian al programador para su identificación:

```
Lab0. incdp
Lab1. jz Lab3
Lab2. jmp Lab0
Lab3. set
Lab4. stop
```

A continuación se procederá con la codificación en lenguaje de máquina de esta versión del código fuente, a fin de ilustrar el trabajo que realizaría un programa ensamblador. La idea general consiste en codificar, línea por línea, las instrucciones del código fuente para trasladarlas a sus equivalentes de código de máquina. El procedimiento es bastante mecánico, pero hay que tomar ciertas previsiones en el caso de que existan referencias a direcciones concretas.

Lab0: incdp				
Lab1: jz Lab3				
Lab2: jmp Lab0				
Lab3: set				
Lab4: stop				

Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB
nop	0x0		
incdp	0x1		
decdp	0x2		
set	0x3		
clr	0x4		
jmp	0x5	Add 7-4	Add 3-0
jz	0x6	Add 7-4	Add 3-0
stop	0x7		

Code Add	Label	Code
0x00		
0x01		
0x02		
0x03		
0x04		
0x05		
0x06		
0x07		
0x08		

Data Add	Data bit
0x00	
0x01	
0x02	
0x03	
0x04	
0x05	
0x06	

Figura 2.1: Programa fuente y estado inicial “en blanco” de los espacios de código y datos.

Se comenzará con el escenario mostrado en la figura 2.1. Se muestra el programa fuente y, como referencia, a un costado la tabla con el conjunto de instrucciones de la máquina y los códigos correspondientes. También se presentan las tablas de trabajo que representan los espacios físicos de código y de datos. Nótese que la mayoría de los encabezados de las columnas se rotulan con expresiones en inglés. Esto

se debe a que es conveniente que el lector se familiarice con la notación empleada en las aplicaciones reales de este tipo: la expresión *label* corresponde a “etiqueta”; *code* a “código”; *data* a “datos” y *Add* es la abreviatura de *Address*, es decir “dirección”. No se debe olvidar que MSB y LSB son, respectivamente, los acrónimos de *Most Significant Bits* y *Least Significant Bits*, es decir, los bits más significativos y los bits menos significativos.

En la figura 2.1, la tabla conformada por las columnas «Code Add», «Label» y «Code», representa al espacio físico de la memoria de código. En esta primera tabla, cada renglón corresponde con una localidad de memoria que contiene un registro de 4 bits o *nibble* con el código de la instrucción asociada. La segunda tabla, conformada por las columnas «Data Add» y «Data bit», representa el espacio físico de la memoria de datos. En esta segunda tabla, cada renglón corresponde con una localidad de memoria que contiene un registro de 1 bit. La información de los registros se especificará en hexadecimal o en binario. Para propósitos didácticos, ambos espacios de memoria, tanto el de código como el de datos, se limitarán a 256 localidades y, por lo tanto, las direcciones se representan de manera suficiente con 8 bits, que corresponden exactamente con dos dígitos hexadecimales (recuérdese que cada carácter hexadecimal representa a 4 bits, dado que las combinaciones para un *nibble* son $2^4 = 16$).

Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB
nop	0x0		
incdp	0x1		
decdp	0x2		
set	0x3		
clr	0x4		
jmp	0x5	Add 7-4	Add 3-0
jz	0x6	Add 7-4	Add 3-0
stop	0x7		

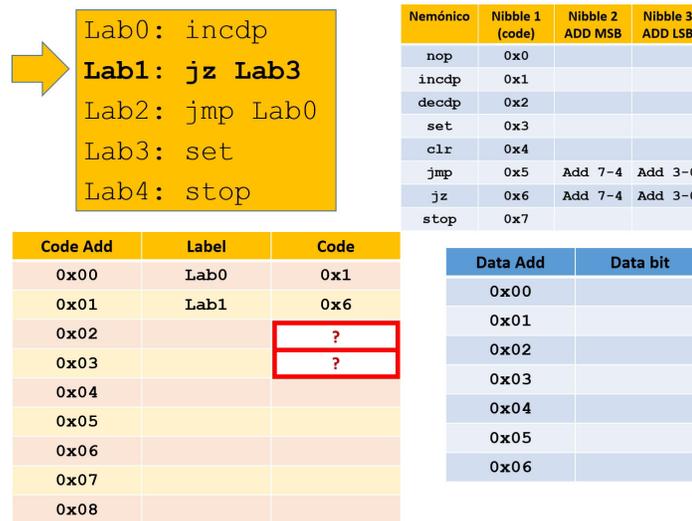
Code Add	Label	Code
0x00	Lab0	0x1
0x01		
0x02		
0x03		
0x04		
0x05		
0x06		
0x07		
0x08		

Data Add	Data bit
0x00	
0x01	
0x02	
0x03	
0x04	
0x05	
0x06	

Figura 2.2: Codificación de la primera línea del programa fuente.

El trabajo de codificación inicia con la primera línea del código fuente, en este caso la instrucción que se encuentra en la dirección identificada con la etiqueta *Lab0*. Por conveniencia, forzaremos a esta primera dirección para que corresponda con la localidad de la dirección *0x00*. Dado que esta primera instrucción es la que corresponde al nemónico *incdp*, su traslado a código de máquina es directo, en este caso corresponde con el código de máquina *0x1*, tal y como se muestra en la figura 2.2.

Se continúa con la codificación de la segunda línea del código fuente, es decir, con la instrucción que se encuentra asociada a la dirección que corresponde a la etiqueta Lab1. Esta segunda instrucción involucra un salto y, por lo tanto, requiere de la especificación de la dirección destino, mediante los dos *nibbles* adicionales al código de la instrucción en sí misma. Se trata del salto condicional `jz`, por lo que el código de máquina es `0x6`, sin embargo no conocemos la dirección exacta a la que corresponde la etiqueta Lab3, dado que aún no se ha codificado dicha instrucción. Esta es la razón por la que reservamos dos localidades del espacio de código (dos *nibbles*) y continuamos con la codificación de la siguiente instrucción. El avance hasta este punto se muestra en la figura 2.3.



Lab0: <code>incdp</code>
Lab1: <code>jz Lab3</code>
Lab2: <code>jmp Lab0</code>
Lab3: <code>set</code>
Lab4: <code>stop</code>

Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB
<code>nop</code>	0x0		
<code>incdp</code>	0x1		
<code>decdp</code>	0x2		
<code>set</code>	0x3		
<code>clr</code>	0x4		
<code>jmp</code>	0x5	Add 7-4	Add 3-0
<code>jz</code>	0x6	Add 7-4	Add 3-0
<code>stop</code>	0x7		

Code Add	Label	Code
0x00	Lab0	0x1
0x01	Lab1	0x6
0x02		?
0x03		?
0x04		
0x05		
0x06		
0x07		
0x08		

Data Add	Data bit
0x00	
0x01	
0x02	
0x03	
0x04	
0x05	
0x06	

Figura 2.3: Codificación parcial de la segunda línea del programa fuente.

Sigue la codificación de la tercera línea del código fuente, es decir, con la instrucción que se encuentra asociada a la dirección que corresponde a la etiqueta Lab2. Esta tercera instrucción también involucra un salto y, por lo mismo, también requiere de la especificación de la dirección destino con dos *nibbles* adicionales. Se trata del salto incondicional `jmp`, por lo que el código de máquina es `0x5`, pero en este caso sí se conoce la dirección exacta a la que corresponde la etiqueta Lab0, dado que ya se había codificado dicha instrucción. Es evidente que la dirección que corresponde a la etiqueta Lab0 es la `0x00`, por lo que el *nibble* correspondiente a la parte alta de la dirección es `0x0`, mientras que el *nibble* que corresponde a la parte baja de la dirección también es `0x0`. El avance en la codificación hasta este punto se muestra en la figura 2.4.

<pre> Lab0: incdp Lab1: jz Lab3 Lab2: jmp Lab0 Lab3: set Lab4: stop </pre>			<table border="1"> <thead> <tr> <th>Nemónico</th> <th>Nibble 1 (code)</th> <th>Nibble 2 ADD MSB</th> <th>Nibble 3 ADD LSB</th> </tr> </thead> <tbody> <tr><td>nop</td><td>0x0</td><td></td><td></td></tr> <tr><td>incdp</td><td>0x1</td><td></td><td></td></tr> <tr><td>decdp</td><td>0x2</td><td></td><td></td></tr> <tr><td>set</td><td>0x3</td><td></td><td></td></tr> <tr><td>clr</td><td>0x4</td><td></td><td></td></tr> <tr><td>jmp</td><td>0x5</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td>jz</td><td>0x6</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td>stop</td><td>0x7</td><td></td><td></td></tr> </tbody> </table>	Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB	nop	0x0			incdp	0x1			decdp	0x2			set	0x3			clr	0x4			jmp	0x5	Add 7-4	Add 3-0	jz	0x6	Add 7-4	Add 3-0	stop	0x7										
Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB																																												
nop	0x0																																														
incdp	0x1																																														
decdp	0x2																																														
set	0x3																																														
clr	0x4																																														
jmp	0x5	Add 7-4	Add 3-0																																												
jz	0x6	Add 7-4	Add 3-0																																												
stop	0x7																																														
<table border="1"> <thead> <tr> <th>Code Add</th> <th>Label</th> <th>Code</th> </tr> </thead> <tbody> <tr><td>0x00</td><td>Lab0</td><td>0x1</td></tr> <tr><td>0x01</td><td>Lab1</td><td>0x6</td></tr> <tr><td>0x02</td><td></td><td>?</td></tr> <tr><td>0x03</td><td></td><td>?</td></tr> <tr><td>0x04</td><td>Lab2</td><td>0x5</td></tr> <tr><td>0x05</td><td></td><td>0x0</td></tr> <tr><td>0x06</td><td></td><td>0x0</td></tr> <tr><td>0x07</td><td></td><td></td></tr> <tr><td>0x08</td><td></td><td></td></tr> </tbody> </table>	Code Add	Label	Code	0x00	Lab0	0x1	0x01	Lab1	0x6	0x02		?	0x03		?	0x04	Lab2	0x5	0x05		0x0	0x06		0x0	0x07			0x08			<table border="1"> <thead> <tr> <th>Data Add</th> <th>Data bit</th> </tr> </thead> <tbody> <tr><td>0x00</td><td></td></tr> <tr><td>0x01</td><td></td></tr> <tr><td>0x02</td><td></td></tr> <tr><td>0x03</td><td></td></tr> <tr><td>0x04</td><td></td></tr> <tr><td>0x05</td><td></td></tr> <tr><td>0x06</td><td></td></tr> </tbody> </table>	Data Add	Data bit	0x00		0x01		0x02		0x03		0x04		0x05		0x06	
Code Add	Label	Code																																													
0x00	Lab0	0x1																																													
0x01	Lab1	0x6																																													
0x02		?																																													
0x03		?																																													
0x04	Lab2	0x5																																													
0x05		0x0																																													
0x06		0x0																																													
0x07																																															
0x08																																															
Data Add	Data bit																																														
0x00																																															
0x01																																															
0x02																																															
0x03																																															
0x04																																															
0x05																																															
0x06																																															

Figura 2.4: Codificación de la tercera línea del programa fuente.

La codificación de la cuarta línea del código fuente, asociada a la dirección identificada con la etiqueta Lab3, es la que corresponde al nemónico `set` y su traslado a código de máquina también es directo. En este caso corresponde con el código de máquina `0x3`, tal y como se muestra en la figura 2.5.

<pre> Lab0: incdp Lab1: jz Lab3 Lab2: jmp Lab0 Lab3: set Lab4: stop </pre>			<table border="1"> <thead> <tr> <th>Nemónico</th> <th>Nibble 1 (code)</th> <th>Nibble 2 ADD MSB</th> <th>Nibble 3 ADD LSB</th> </tr> </thead> <tbody> <tr><td>nop</td><td>0x0</td><td></td><td></td></tr> <tr><td>incdp</td><td>0x1</td><td></td><td></td></tr> <tr><td>decdp</td><td>0x2</td><td></td><td></td></tr> <tr><td>set</td><td>0x3</td><td></td><td></td></tr> <tr><td>clr</td><td>0x4</td><td></td><td></td></tr> <tr><td>jmp</td><td>0x5</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td>jz</td><td>0x6</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td>stop</td><td>0x7</td><td></td><td></td></tr> </tbody> </table>	Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB	nop	0x0			incdp	0x1			decdp	0x2			set	0x3			clr	0x4			jmp	0x5	Add 7-4	Add 3-0	jz	0x6	Add 7-4	Add 3-0	stop	0x7										
Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB																																												
nop	0x0																																														
incdp	0x1																																														
decdp	0x2																																														
set	0x3																																														
clr	0x4																																														
jmp	0x5	Add 7-4	Add 3-0																																												
jz	0x6	Add 7-4	Add 3-0																																												
stop	0x7																																														
<table border="1"> <thead> <tr> <th>Code Add</th> <th>Label</th> <th>Code</th> </tr> </thead> <tbody> <tr><td>0x00</td><td>Lab0</td><td>0x1</td></tr> <tr><td>0x01</td><td>Lab1</td><td>0x6</td></tr> <tr><td>0x02</td><td></td><td>?</td></tr> <tr><td>0x03</td><td></td><td>?</td></tr> <tr><td>0x04</td><td>Lab2</td><td>0x5</td></tr> <tr><td>0x05</td><td></td><td>0x0</td></tr> <tr><td>0x06</td><td></td><td>0x0</td></tr> <tr><td>0x07</td><td>Lab3</td><td>0x3</td></tr> <tr><td>0x08</td><td></td><td></td></tr> </tbody> </table>	Code Add	Label	Code	0x00	Lab0	0x1	0x01	Lab1	0x6	0x02		?	0x03		?	0x04	Lab2	0x5	0x05		0x0	0x06		0x0	0x07	Lab3	0x3	0x08			<table border="1"> <thead> <tr> <th>Data Add</th> <th>Data bit</th> </tr> </thead> <tbody> <tr><td>0x00</td><td></td></tr> <tr><td>0x01</td><td></td></tr> <tr><td>0x02</td><td></td></tr> <tr><td>0x03</td><td></td></tr> <tr><td>0x04</td><td></td></tr> <tr><td>0x05</td><td></td></tr> <tr><td>0x06</td><td></td></tr> </tbody> </table>	Data Add	Data bit	0x00		0x01		0x02		0x03		0x04		0x05		0x06	
Code Add	Label	Code																																													
0x00	Lab0	0x1																																													
0x01	Lab1	0x6																																													
0x02		?																																													
0x03		?																																													
0x04	Lab2	0x5																																													
0x05		0x0																																													
0x06		0x0																																													
0x07	Lab3	0x3																																													
0x08																																															
Data Add	Data bit																																														
0x00																																															
0x01																																															
0x02																																															
0x03																																															
0x04																																															
0x05																																															
0x06																																															

Figura 2.5: Codificación de la cuarta línea del programa fuente.

Es en este punto de la codificación que ya se sabe con exactitud a qué dirección corresponde la etiqueta Lab3. Como se puede apreciar en la figura 2.5, la dirección física asociada a la etiqueta Lab3 es `0x07`. Por lo tanto, podemos completar la información de la dirección destino que quedó pendiente de definir para

la instrucción `jz`, en la segunda línea del programa fuente, a saber: que el *nibble* correspondiente a la parte alta de la dirección es `0x0`, mientras que el *nibble* que corresponde a la parte baja de la dirección es `0x7` (ver figura 2.6).

<pre> Lab0: incdp Lab1: jz Lab3 Lab2: jmp Lab0 Lab3: set Lab4: stop </pre>			<table border="1"> <thead> <tr> <th>Nemónico</th> <th>Nibble 1 (code)</th> <th>Nibble 2 ADD MSB</th> <th>Nibble 3 ADD LSB</th> </tr> </thead> <tbody> <tr><td><code>nop</code></td><td>0x0</td><td></td><td></td></tr> <tr><td><code>incdp</code></td><td>0x1</td><td></td><td></td></tr> <tr><td><code>decdp</code></td><td>0x2</td><td></td><td></td></tr> <tr><td><code>set</code></td><td>0x3</td><td></td><td></td></tr> <tr><td><code>clr</code></td><td>0x4</td><td></td><td></td></tr> <tr><td><code>jmp</code></td><td>0x5</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>jz</code></td><td>0x6</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>stop</code></td><td>0x7</td><td></td><td></td></tr> </tbody> </table>	Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB	<code>nop</code>	0x0			<code>incdp</code>	0x1			<code>decdp</code>	0x2			<code>set</code>	0x3			<code>clr</code>	0x4			<code>jmp</code>	0x5	Add 7-4	Add 3-0	<code>jz</code>	0x6	Add 7-4	Add 3-0	<code>stop</code>	0x7										
Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB																																												
<code>nop</code>	0x0																																														
<code>incdp</code>	0x1																																														
<code>decdp</code>	0x2																																														
<code>set</code>	0x3																																														
<code>clr</code>	0x4																																														
<code>jmp</code>	0x5	Add 7-4	Add 3-0																																												
<code>jz</code>	0x6	Add 7-4	Add 3-0																																												
<code>stop</code>	0x7																																														
<table border="1"> <thead> <tr> <th>Code Add</th> <th>Label</th> <th>Code</th> </tr> </thead> <tbody> <tr><td>0x00</td><td>Lab0</td><td>0x1</td></tr> <tr><td>0x01</td><td>Lab1</td><td>0x6</td></tr> <tr><td>0x02</td><td></td><td>0x0</td></tr> <tr><td>0x03</td><td></td><td>0x7</td></tr> <tr><td>0x04</td><td>Lab2</td><td>0x5</td></tr> <tr><td>0x05</td><td></td><td>0x0</td></tr> <tr><td>0x06</td><td></td><td>0x0</td></tr> <tr><td>0x07</td><td>→ Lab3</td><td>0x3</td></tr> <tr><td>0x08</td><td></td><td></td></tr> </tbody> </table>	Code Add	Label	Code	0x00	Lab0	0x1	0x01	Lab1	0x6	0x02		0x0	0x03		0x7	0x04	Lab2	0x5	0x05		0x0	0x06		0x0	0x07	→ Lab3	0x3	0x08			<table border="1"> <thead> <tr> <th>Data Add</th> <th>Data bit</th> </tr> </thead> <tbody> <tr><td>0x00</td><td></td></tr> <tr><td>0x01</td><td></td></tr> <tr><td>0x02</td><td></td></tr> <tr><td>0x03</td><td></td></tr> <tr><td>0x04</td><td></td></tr> <tr><td>0x05</td><td></td></tr> <tr><td>0x06</td><td></td></tr> </tbody> </table>	Data Add	Data bit	0x00		0x01		0x02		0x03		0x04		0x05		0x06	
Code Add	Label	Code																																													
0x00	Lab0	0x1																																													
0x01	Lab1	0x6																																													
0x02		0x0																																													
0x03		0x7																																													
0x04	Lab2	0x5																																													
0x05		0x0																																													
0x06		0x0																																													
0x07	→ Lab3	0x3																																													
0x08																																															
Data Add	Data bit																																														
0x00																																															
0x01																																															
0x02																																															
0x03																																															
0x04																																															
0x05																																															
0x06																																															

Figura 2.6: Información correspondiente a la etiqueta `Lab3`.

El avance en la codificación, después de completar la información faltante, se muestra en la figura 2.7.

<pre> Lab0: incdp Lab1: jz Lab3 Lab2: jmp Lab0 Lab3: set Lab4: stop </pre>			<table border="1"> <thead> <tr> <th>Nemónico</th> <th>Nibble 1 (code)</th> <th>Nibble 2 ADD MSB</th> <th>Nibble 3 ADD LSB</th> </tr> </thead> <tbody> <tr><td><code>nop</code></td><td>0x0</td><td></td><td></td></tr> <tr><td><code>incdp</code></td><td>0x1</td><td></td><td></td></tr> <tr><td><code>decdp</code></td><td>0x2</td><td></td><td></td></tr> <tr><td><code>set</code></td><td>0x3</td><td></td><td></td></tr> <tr><td><code>clr</code></td><td>0x4</td><td></td><td></td></tr> <tr><td><code>jmp</code></td><td>0x5</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>jz</code></td><td>0x6</td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>stop</code></td><td>0x7</td><td></td><td></td></tr> </tbody> </table>	Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB	<code>nop</code>	0x0			<code>incdp</code>	0x1			<code>decdp</code>	0x2			<code>set</code>	0x3			<code>clr</code>	0x4			<code>jmp</code>	0x5	Add 7-4	Add 3-0	<code>jz</code>	0x6	Add 7-4	Add 3-0	<code>stop</code>	0x7										
Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB																																												
<code>nop</code>	0x0																																														
<code>incdp</code>	0x1																																														
<code>decdp</code>	0x2																																														
<code>set</code>	0x3																																														
<code>clr</code>	0x4																																														
<code>jmp</code>	0x5	Add 7-4	Add 3-0																																												
<code>jz</code>	0x6	Add 7-4	Add 3-0																																												
<code>stop</code>	0x7																																														
<table border="1"> <thead> <tr> <th>Code Add</th> <th>Label</th> <th>Code</th> </tr> </thead> <tbody> <tr><td>0x00</td><td>Lab0</td><td>0x1</td></tr> <tr><td>0x01</td><td>Lab1</td><td>0x6</td></tr> <tr><td>0x02</td><td></td><td>0x0</td></tr> <tr><td>0x03</td><td></td><td>0x7</td></tr> <tr><td>0x04</td><td>Lab2</td><td>0x5</td></tr> <tr><td>0x05</td><td></td><td>0x0</td></tr> <tr><td>0x06</td><td></td><td>0x0</td></tr> <tr><td>0x07</td><td>Lab3</td><td>0x3</td></tr> <tr><td>0x08</td><td></td><td></td></tr> </tbody> </table>	Code Add	Label	Code	0x00	Lab0	0x1	0x01	Lab1	0x6	0x02		0x0	0x03		0x7	0x04	Lab2	0x5	0x05		0x0	0x06		0x0	0x07	Lab3	0x3	0x08			<table border="1"> <thead> <tr> <th>Data Add</th> <th>Data bit</th> </tr> </thead> <tbody> <tr><td>0x00</td><td></td></tr> <tr><td>0x01</td><td></td></tr> <tr><td>0x02</td><td></td></tr> <tr><td>0x03</td><td></td></tr> <tr><td>0x04</td><td></td></tr> <tr><td>0x05</td><td></td></tr> <tr><td>0x06</td><td></td></tr> </tbody> </table>	Data Add	Data bit	0x00		0x01		0x02		0x03		0x04		0x05		0x06	
Code Add	Label	Code																																													
0x00	Lab0	0x1																																													
0x01	Lab1	0x6																																													
0x02		0x0																																													
0x03		0x7																																													
0x04	Lab2	0x5																																													
0x05		0x0																																													
0x06		0x0																																													
0x07	Lab3	0x3																																													
0x08																																															
Data Add	Data bit																																														
0x00																																															
0x01																																															
0x02																																															
0x03																																															
0x04																																															
0x05																																															
0x06																																															

Figura 2.7: Codificación completa de la segunda línea del programa fuente.

Finalmente, se llega a la codificación de la quinta línea del código fuente, asociada a la dirección identificada con la etiqueta `Lab4`. Se trata de la instrucción con

nemónico `stop`, cuyo traslado a código de máquina también es directo. El código de máquina correspondiente es `0x7` y, con ello, se concluye la codificación en lenguaje de máquina de este pequeño programa de ejemplo, tal y como se ilustra en la figura 2.8.

<pre> Lab0: incdp Lab1: jz Lab3 Lab2: jmp Lab0 Lab3: set Lab4: stop </pre>			<table border="1"> <thead> <tr> <th>Nemónico</th> <th>Nibble 1 (code)</th> <th>Nibble 2 ADD MSB</th> <th>Nibble 3 ADD LSB</th> </tr> </thead> <tbody> <tr><td><code>nop</code></td><td><code>0x0</code></td><td></td><td></td></tr> <tr><td><code>incdp</code></td><td><code>0x1</code></td><td></td><td></td></tr> <tr><td><code>decdp</code></td><td><code>0x2</code></td><td></td><td></td></tr> <tr><td><code>set</code></td><td><code>0x3</code></td><td></td><td></td></tr> <tr><td><code>clr</code></td><td><code>0x4</code></td><td></td><td></td></tr> <tr><td><code>jmp</code></td><td><code>0x5</code></td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>jz</code></td><td><code>0x6</code></td><td>Add 7-4</td><td>Add 3-0</td></tr> <tr><td><code>stop</code></td><td><code>0x7</code></td><td></td><td></td></tr> </tbody> </table>			Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB	<code>nop</code>	<code>0x0</code>			<code>incdp</code>	<code>0x1</code>			<code>decdp</code>	<code>0x2</code>			<code>set</code>	<code>0x3</code>			<code>clr</code>	<code>0x4</code>			<code>jmp</code>	<code>0x5</code>	Add 7-4	Add 3-0	<code>jz</code>	<code>0x6</code>	Add 7-4	Add 3-0	<code>stop</code>	<code>0x7</code>												
Nemónico	Nibble 1 (code)	Nibble 2 ADD MSB	Nibble 3 ADD LSB																																																
<code>nop</code>	<code>0x0</code>																																																		
<code>incdp</code>	<code>0x1</code>																																																		
<code>decdp</code>	<code>0x2</code>																																																		
<code>set</code>	<code>0x3</code>																																																		
<code>clr</code>	<code>0x4</code>																																																		
<code>jmp</code>	<code>0x5</code>	Add 7-4	Add 3-0																																																
<code>jz</code>	<code>0x6</code>	Add 7-4	Add 3-0																																																
<code>stop</code>	<code>0x7</code>																																																		
<table border="1"> <thead> <tr> <th>Code Add</th> <th>Label</th> <th>Code</th> </tr> </thead> <tbody> <tr><td><code>0x00</code></td><td>Lab0</td><td><code>0x1</code></td></tr> <tr><td><code>0x01</code></td><td>Lab1</td><td><code>0x6</code></td></tr> <tr><td><code>0x02</code></td><td></td><td><code>0x0</code></td></tr> <tr><td><code>0x03</code></td><td></td><td><code>0x7</code></td></tr> <tr><td><code>0x04</code></td><td>Lab2</td><td><code>0x5</code></td></tr> <tr><td><code>0x05</code></td><td></td><td><code>0x0</code></td></tr> <tr><td><code>0x06</code></td><td></td><td><code>0x0</code></td></tr> <tr><td><code>0x07</code></td><td>Lab3</td><td><code>0x3</code></td></tr> <tr><td><code>0x08</code></td><td>Lab4</td><td><code>0x7</code></td></tr> </tbody> </table>			Code Add	Label	Code	<code>0x00</code>	Lab0	<code>0x1</code>	<code>0x01</code>	Lab1	<code>0x6</code>	<code>0x02</code>		<code>0x0</code>	<code>0x03</code>		<code>0x7</code>	<code>0x04</code>	Lab2	<code>0x5</code>	<code>0x05</code>		<code>0x0</code>	<code>0x06</code>		<code>0x0</code>	<code>0x07</code>	Lab3	<code>0x3</code>	<code>0x08</code>	Lab4	<code>0x7</code>	<table border="1"> <thead> <tr> <th>Data Add</th> <th>Data bit</th> </tr> </thead> <tbody> <tr><td><code>0x00</code></td><td></td></tr> <tr><td><code>0x01</code></td><td></td></tr> <tr><td><code>0x02</code></td><td></td></tr> <tr><td><code>0x03</code></td><td></td></tr> <tr><td><code>0x04</code></td><td></td></tr> <tr><td><code>0x05</code></td><td></td></tr> <tr><td><code>0x06</code></td><td></td></tr> </tbody> </table>			Data Add	Data bit	<code>0x00</code>		<code>0x01</code>		<code>0x02</code>		<code>0x03</code>		<code>0x04</code>		<code>0x05</code>		<code>0x06</code>	
Code Add	Label	Code																																																	
<code>0x00</code>	Lab0	<code>0x1</code>																																																	
<code>0x01</code>	Lab1	<code>0x6</code>																																																	
<code>0x02</code>		<code>0x0</code>																																																	
<code>0x03</code>		<code>0x7</code>																																																	
<code>0x04</code>	Lab2	<code>0x5</code>																																																	
<code>0x05</code>		<code>0x0</code>																																																	
<code>0x06</code>		<code>0x0</code>																																																	
<code>0x07</code>	Lab3	<code>0x3</code>																																																	
<code>0x08</code>	Lab4	<code>0x7</code>																																																	
Data Add	Data bit																																																		
<code>0x00</code>																																																			
<code>0x01</code>																																																			
<code>0x02</code>																																																			
<code>0x03</code>																																																			
<code>0x04</code>																																																			
<code>0x05</code>																																																			
<code>0x06</code>																																																			

Figura 2.8: Codificación de la quinta y última línea del programa fuente.

Aunque con el avance logrado hasta este punto se concluye la codificación del programa, aún falta cargar los datos de entrada para el programa. Si partimos del estado inicial de la máquina, previa a la ejecución del programa de incremento, que se mostró en la figura 1.36, entonces podemos proceder con la codificación, pero ahora en el espacio de datos, de esta información que constituye el parámetro de entrada del programa o, en otras palabras, el operando de la operación de incremento.

Si se recuerda, el número natural que se quería incrementar era el número 2, razón por la que se codificó mediante una secuencia de dos unos consecutivos en el espacio de datos. Para cargar esta información en el espacio físico de la memoria de datos, sólo hay que tener presente que la posición inicial del apuntador de datos DP se encuentra señalando a la dirección `0x00`. Dado que el programa de incremento requiere que el apuntador se encuentre señalando a la primera posición de la secuencia de bits en uno, entonces es indispensable que la secuencia de unos se cargue a partir de esa localidad en particular.

La información de entrada requerida y el estado “en blanco” del espacio físico de datos, previa a la carga de los mismos, se puede observar en la figura 2.9. La carga de los datos de entrada es simple y directa, tan sólo consiste en almacenar, bit a bit y en el mismo orden, la secuencia deseada. Es importante recordar que la memoria de datos se compone de registros de un solo bit, razón por la que en cada localidad de esa memoria se guarda un único bit.

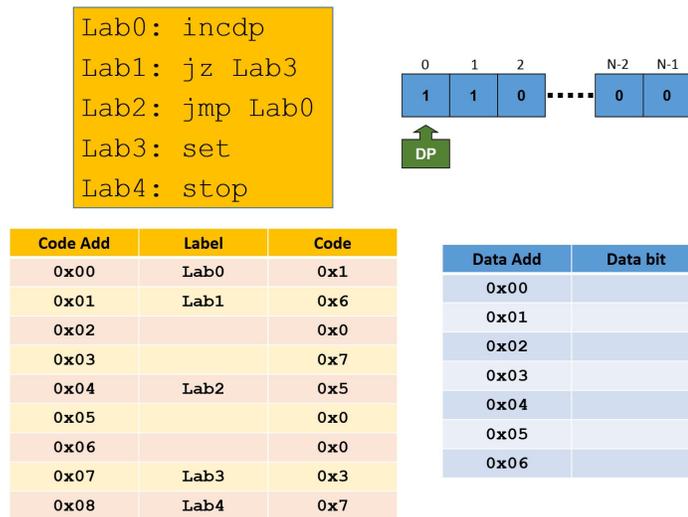


Figura 2.9: Datos de entrada y espacio de memoria de datos previo a su carga.

Una vez que se ha concluido la codificación de las instrucciones del programa y que se almacenan los códigos correspondientes en el espacio de memoria de código, después de cargar la memoria de datos con el operando de entrada, tal y como se ilustra en la figura 2.10, una MPM real se encontraría lista para la ejecución del programa de incremento.

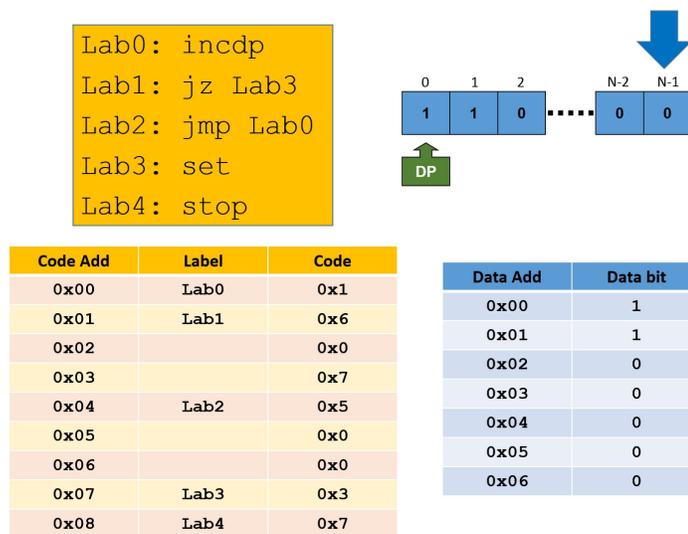


Figura 2.10: Datos de entrada y espacio de memoria de datos debidamente cargado.

Hasta este punto se han presentado los conceptos generales más importantes sobre la máquina de Post y su versión mejorada, la que se ha denominado como MPM. Nos encontramos listos para profundizar en los detalles de un diseño lógico que permita una realización práctica y funcional de un CPU con base en estos principios. En el capítulo siguiente se presenta una propuesta concreta para la realización práctica de un pequeño CPU que funciona en los términos indicados hasta ahora.

EN el capítulo 1 se comentó que el diseño lógico propuesto para la máquina de Post mejorada (MPM) contempla un registro apuntador al espacio de código, o *instruction pointer* (IP), y un registro apuntador al espacio de datos, o *data pointer* (DP), por lo que es claro que la arquitectura de la máquina propuesta es esencialmente del tipo Harvard. En el capítulo 2 se definió la codificación binaria para el conjunto de instrucciones y se mostró cómo obtener el código de máquina de un programa para la MPM. En este capítulo se presentará el detalle del diseño lógico de una arquitectura funcional para la máquina de Post actualizada.

Se toma como base la codificación binaria para el conjunto de instrucciones de la MPM y, a partir de ello, se especifica la operación del circuito lógico secuencial que soporta el ciclo de máquina (*fetch-decode-execute*). Esta especificación se realiza con un enfoque de diseño a nivel de las transferencias entre registros (*Register Transfer Level* o RTL) y se describe mediante diagramas ASMD (*Algorithmic State Machine with a Data path*).

ARQUITECTURA PROPUESTA PARA LA REALIZACIÓN PRÁCTICA DE LA MPM

En la figura 3.1 se muestra un bosquejo de la arquitectura propuesta para un prototipo capaz de ejecutar programas para la máquina de Post mejorada, en los términos hasta ahora descritos. En la figura 3.2 se presenta la misma arquitectura con más detalles. El CPU, en sí mismo, que contiene el micro-código para la operación de los ciclos de máquina del sistema y se denota, en el diagrama de la figura 3.2, como «Post CPU». Esta unidad central de procesamiento tiene como corazón la unidad lógica (UL); nótese que no se declara como ALU (acrónimo de *Arithmetic Logic Unit*), sino tan sólo como *unidad lógica*. Esto se debe a que en el conjunto de instrucciones no se incluye ninguna operación aritmética; y no significa que con el sistema propuesto no se puedan ejecutar algoritmos que realicen funciones equivalentes a las operaciones aritméticas, sino únicamente que la unidad central de procesamiento no las realiza a nivel de código de máquina. En concreto, con la MPM es perfectamente posible resolver problemas aritméticos en tanto que todos ellos son problemas computables.

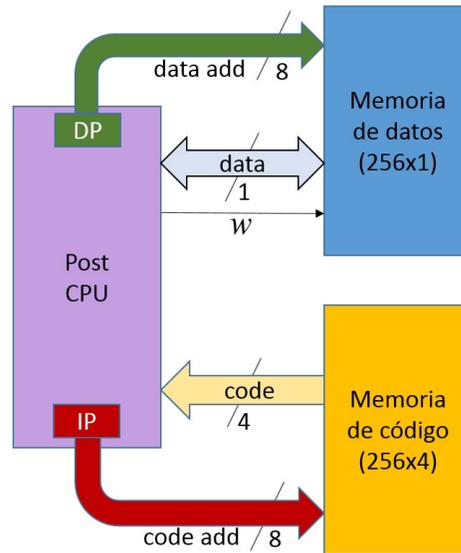
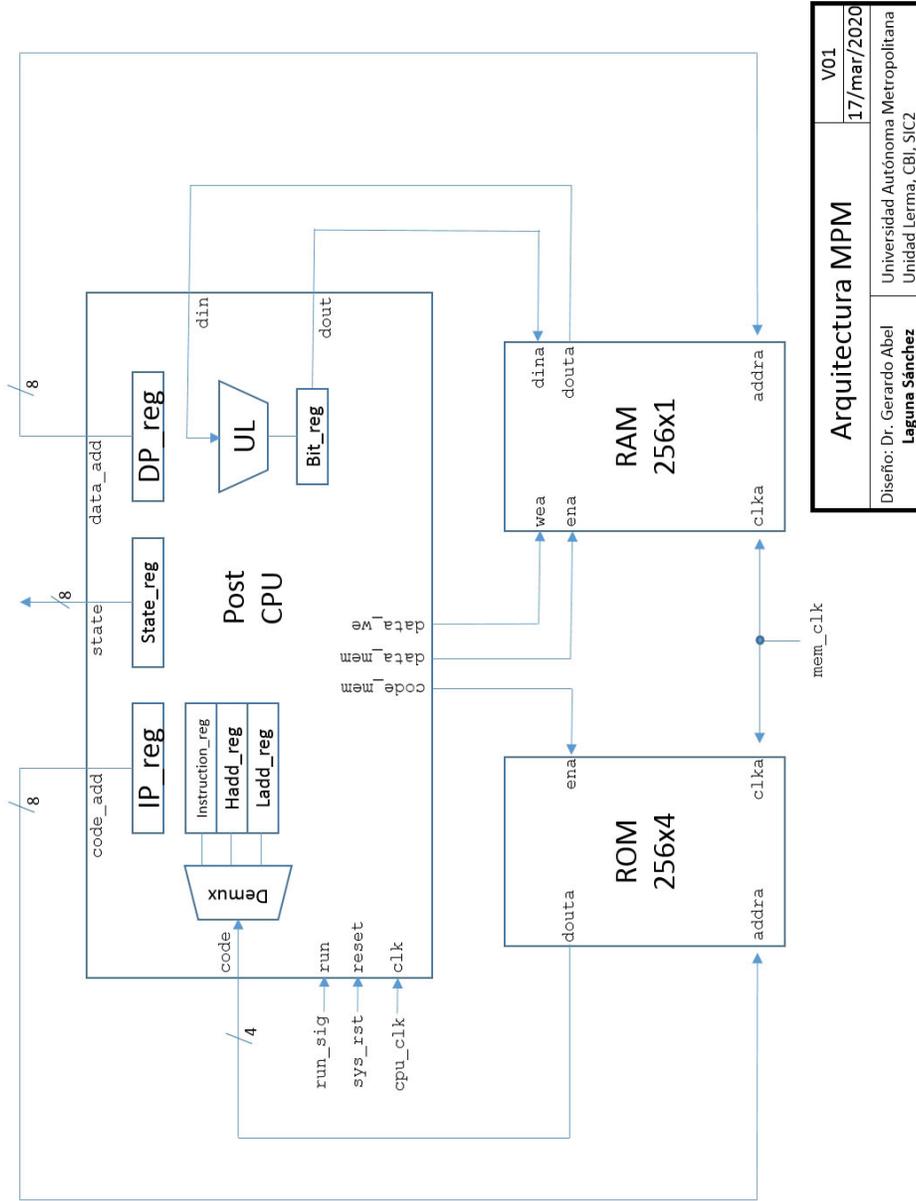


Figura 3.1: Bosquejo para la arquitectura de la MPM.

Tanto en la figura 3.1 como en la figura 3.2, se puede observar que salen dos buses de direccionamiento del bloque «Post CPU»: el bus de direcciones para el espacio de código (`code_add`), de 8 bits, y el bus de direcciones para el espacio de datos (`data_add`), también de 8 bits. El `code_add` bus le indica al bloque de memoria de solo lectura (ROM 256x4) la dirección de la instrucción que se va a leer, por ello la fuente de dicha dirección se encuentra en el registro *Instruction Pointer* (IP). Por su parte, el `data_add` bus le indica al bloque de memoria de acceso aleatorio (RAM 256x1) la dirección de la localidad de datos que se opera, por ello la fuente de dicha dirección se encuentra en el registro *Data Pointer* (DP).

La memoria de código (ROM 256x4), constituye el espacio donde se debe precargar el programa con la secuencia de instrucciones que se van a ejecutar, mientras que la memoria de datos (RAM 256x1) es el espacio que corresponde a una cinta de 256 celdas, donde se almacena el estado inicial de los datos (los datos de entrada) y el estado final de los mismos (los datos de salida). La memoria de código es de solo lectura (*Read Only Memory* o ROM) en tanto el CPU nunca va a escribir nada en ella, solo lee las instrucciones que se ejecutan. Por su parte, la memoria de datos es una memoria estática de acceso aleatorio (*Random Access Memory* o RAM) y, por lo tanto, puede leerse y escribirse. Este último espacio de memoria es la que nos permite emular a la cinta y sus celdas. Cada registro de un bit es una celda, de tal forma que las marcas son representadas por unos, mientras que la ausencia de marcas se indica con ceros.

Ambos bloques de memoria son circuitos síncronos, razón por la que incluyen una entrada de reloj (`clk`). También incluyen una señal de habilitación (`ena`), un



Arquitectura MPM		V01
Diseño: Dr. Gerardo Abel Laguna Sánchez		17/mar/2020
Universidad Autónoma Metropolitana Unidad Lerma, CBI, SIC2		

Figura 3.2: Diagrama a bloques para la arquitectura propuesta para una la realización práctica de la máquina de Post mejorada (MPM).

bus de direccionamiento (*addra*) y un bus de datos de salida (*douta*). La principal diferencia entre la memoria RAM y la ROM es que la última sólo puede ser leída y, en consecuencia, no requiere de señal de control para indicar la naturaleza de la operación (escritura/lectura) ni tampoco un bus de datos de entrada. Dado que la memoria RAM sí puede ser leída y escrita, esta incluye la señal de control de escritura/lectura (*wea*) y también el bus de datos de entrada (*dina*).

Se asume que la operación de los bloques de memoria se rige por la señal de reloj y el estado que guardan las señales de control. Si, además, especificamos que los bloques de memoria que vamos a emplear son los que Xilinx, el fabricante del FPGA que vamos a emplear para la realización práctica del prototipo, denomina como bloques nativos en la modalidad «primero escribe» (*Write First Mode*) [12], entonces podemos explicar la secuencia de pasos para cada uno de los ciclos de escritura/lectura (ver diagrama de la figura 3.2).

Ciclo de lectura en la memoria RAM: El CPU, previo a un primer flanco de subida en la señal de reloj (*clk_a*), coloca la dirección de interés en el bus de direcciones (*addra*), mantiene la señal de habilitación de escritura (*wea*) en nivel bajo y levanta la señal de habilitación del dispositivo (*ena*). Con todo ello, se le indica al bloque de memoria que se desea realizar una lectura, por lo tanto, en el segundo flanco de subida de la señal de reloj (*clk_a*), se encontrará disponible en el bus de datos de salida (*douta*) la información disponible en la localidad indicada.

Ciclo de escritura en la memoria RAM: El CPU, previo a un primer flanco de subida en la señal de reloj (*clk_a*), coloca la dirección de interés en el bus de direcciones (*addra*), coloca en el bus de datos de entrada (*dina*) la información deseada, levanta la señal de habilitación de escritura (*wea*) y también levanta la señal de habilitación del dispositivo (*ena*). Con todo ello, se le indica al bloque de memoria que se desea realizar una escritura, por lo tanto, en el segundo flanco de subida de la señal de reloj (*clk_a*), se guarda el dato colocado en la entrada (*dina*) en la localidad con la dirección indicada y también se manda al bus de datos de salida (*douta*).

Ciclo de lectura en la memoria ROM: El CPU, previo a un primer flanco de subida en la señal de reloj (*clk_a*), coloca la dirección de interés en el bus de direcciones (*addra*) y levanta la señal de habilitación del dispositivo (*ena*). Con todo ello, se le indica al bloque de memoria que se desea realizar una lectura, por lo tanto, en el segundo flanco de subida de la señal de reloj (*clk_a*), se encontrará disponible en el bus de datos de salida (*douta*) la información disponible en la localidad indicada.

Una vez explicado todo esto, resultará más clara la función de las señales de control y los buses que salen/llegan de/al bloque de procesamiento (Post CPU). Por ejemplo, la señal de salida *code_mem* corresponde a la señal de habilitación de la memoria de código (ROM 256x4); la señal de salida *data_mem* corresponde a la señal de habilitación de la memoria de datos (RAM 256x1), mientras que la señal

de salida `data_we` corresponde a la señal de habilitación de la escritura en esta última.

En nuestro caso, lo que es una salida para el CPU es una entrada para el bloque de memoria al que se conecta. Así, la señal con el bit de salida (`dout`) del CPU se conecta a la señal de datos de entrada (`dina`) del bloque de memoria RAM. Por su parte, la señal con el bit de entrada (`din`) del CPU se conecta a la señal de datos de salida (`douta`) de la misma memoria RAM.

El corazón del CPU lo constituye el micro-código que determina la secuencia de señales para completar cada ciclo de máquina (*fetch-decode-execute*). El ciclo de máquina inicia con la operación *fetch*, que corresponde a la lectura del código de la instrucción en turno, desde la memoria ROM de código. Se continúa con la operación *decode*, que identifica la instrucción y determina si su código se acompaña de parámetros adicionales, como en el caso de las instrucciones de salto `jmp` y `jz`. Es en este preciso instante cuando el micro-código carga el registro `Instruction_reg` y, de ser el caso, los registros con la parte baja (`Ladd_reg`) y la parte alta (`Hadd_reg`) de la dirección destino de un salto. Una vez que se cuanta con toda la información necesaria, se procede con la operación *execute* y se concluye un ciclo de máquina para continuar con el siguiente.

Finalmente, existen algunas señales adicionales para propósitos de control y seguimiento del estado de la máquina. Específicamente, se restablece la máquina a su estado inicial mediante la señal `sys_rst`, mientras que el reloj del CPU se debe conectar a la señal `cpu_clk`. La ejecución del programa, que se asume debe estar precargado en la memoria de código (ROM 256x4), sólo iniciará cuando se aplica un pulso a la señal `run_sig`. El bus de salida rotulado como `state` permite al usuario conocer el estado actual de la máquina de estados del circuito secuencial que rige al CPU.

METODOLOGÍA DE DISEÑO RTL Y DIAGRAMAS ASMD

Dado que se va a codificar el diseño lógico de la MPM siguiendo una descripción algorítmica y funcional, más que estructural, se empleará el enfoque de diseño a nivel de transferencia de registros (RTL, por sus siglas en inglés). La idea principal detrás de la metodología RTL es que cada procesamiento secuencial se compone de una ruta de control, que puede concebirse como una máquina de estados finitos, y una ruta de datos, que emplea registros trabajando como si se tratara de las variables de un algoritmo. Por ello, a fin de comprender mejor la idea del enfoque RTL y la descripción funcional de un sistema mediante diagramas ASMD, comenzaremos justamente por explicar estos conceptos con más detalle.

Máquinas de estados finitos

Los circuitos lógicos pueden ser de dos tipos: circuitos combinatorios y circuitos secuenciales [2]. Los circuitos lógicos combinatorios se caracterizan porque sus salidas son una función booleana de los estados actuales de sus entradas. Por su parte,

los circuitos lógicos secuenciales se caracterizan porque sus salidas no sólo dependen de los estados actuales de sus entradas, sino también de los estados y eventos pasados. Esta dependencia de los estados y eventos pasados en sus entradas es lo que hace que un grafo sea una representación natural para el funcionamiento de los circuitos secuenciales.

En el contexto de un circuito secuencial, decimos que este puede ser descrito por una máquina de estados finitos (FSM, por sus siglas en inglés) y, a su vez, una máquina de estados finitos puede ser representada por un grafo. Un grafo se compone por nodos y arcos. Los nodos permiten representar a los estados de la máquina, mientras que los arcos los cambios entre estados. En la figura 3.3 se muestra la idea general para la representación de los estados, las transiciones de estado y los tipos de salidas de acuerdo a si están en función del estado o de las entradas.

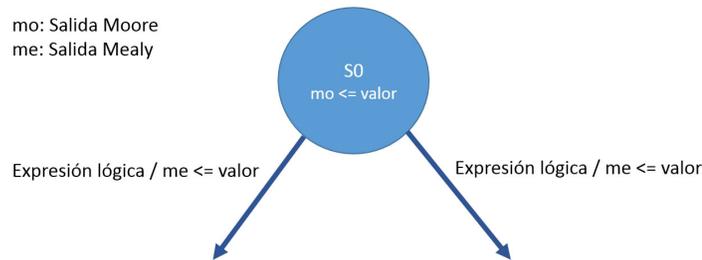


Figura 3.3: El grafo como representación de una máquina de estados finitos.

En este trabajo emplearemos la notación $x \leq a$ para indicar que a la señal x se le asigna el valor a . En el ámbito del diseño lógico se distingue entre la asignación de valor a una señal o a una variable algorítmica. Cuando se trata de asignar un valor a una señal, ello implica un hardware y el valor asignado representa un nivel de voltaje. El asunto de fondo es que al hardware le toma un tiempo, por pequeño que sea, alcanzar un nivel de voltaje y nunca es de manera instantánea, mientras que una variable algorítmica toma los valores asignados de forma instantánea.

Las salidas pueden ser del tipo Moore o del tipo Mealy. Una salida es del tipo Moore si su valor es una función exclusiva del estado al que se asocia, es decir, que adquiere el valor indicado si la máquina se encuentra en el estado especificado, en otro caso adquiere el valor opuesto. Por ejemplo, en la figura 3.3, la salida mo es de tipo Moore y se le asigna el valor indicado cuando la máquina se encuentra en el estado $S0$. En cambio, una salida es de tipo Mealy si su valor es una función de las entradas y del estado asociado. Por ejemplo, en la figura 3.3, la salida me es de tipo Mealy y adquiere el valor indicado si la transición tiene como origen el estado asociado y se cumple con cierto estado de las entradas, en términos de una función lógica, que es justo la condición que provocó el cambio de estado.

*Diagrama a bloques para el hardware
de una máquina de estados finitos*

Como ya se mencionó, en un circuito lógico secuencial las salidas no sólo dependen del estado actual de las entradas, sino también de los eventos y estados pasados en las mismas. Por esta razón, un circuito secuencial puede ser visto como una máquina de estados finitos dado que cada estado del circuito secuencial corresponde a un estado de la máquina. El diagrama a bloques para el hardware que permite una realización práctica de una máquina de estados finitos se muestra en la figura 3.4. Observe cómo los bloques fundamentales son:

1. Un circuito combinatorio.
2. Un registro de memoria.
3. Un reloj.

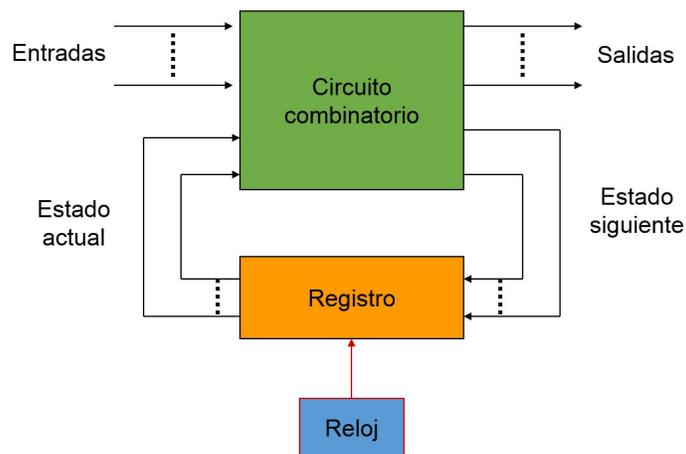


Figura 3.4: Diagrama a bloques para la realización práctica de una máquina de estados finitos.

El circuito combinatorio es el conjunto de funciones booleanas que producen el valor para las salidas y las señales que determinan el siguiente estado, a partir del estado actual de las entradas y del estado actual de la máquina. La máquina cuenta con memoria, en tanto el registro almacena el estado de la máquina y lo puede actualizar en cada flanco útil del reloj. En esta representación de hardware también es posible identificar las salidas de tipo Moore y Mealy, como se puede apreciar en la figura 3.5.

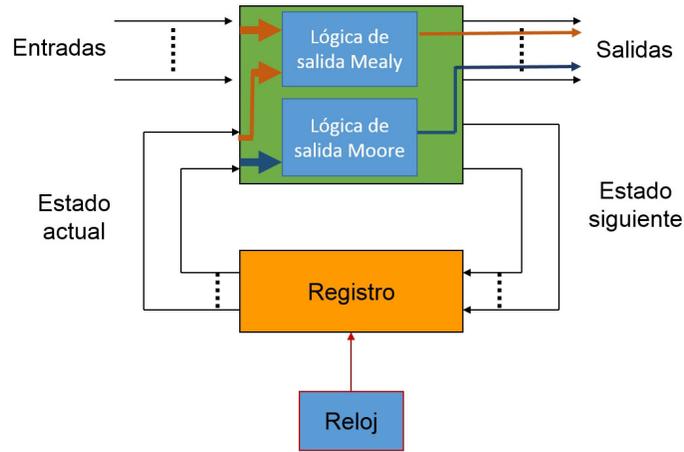


Figura 3.5: Salidas Moore y Mealy en una máquina de estados finitos.

Diagrama de máquina de estados algorítmica

Una alternativa a la representación de una máquina de estados finitos mediante un grafo es el diagrama de máquina de estados algorítmica (ASM, por sus siglas en inglés). Un diagrama ASM proporciona la misma información que un grafo para FSM, pero su similitud con un diagrama de flujo lo hace más descriptivo y más adecuado para describir situaciones de mayor complejidad.

Así como los bloques constructivos de un grafo son los nodos y los arcos, en un diagrama ASM la unidad constructiva es el bloque ASM. El bloque ASM genérico se presenta en la figura 3.6.

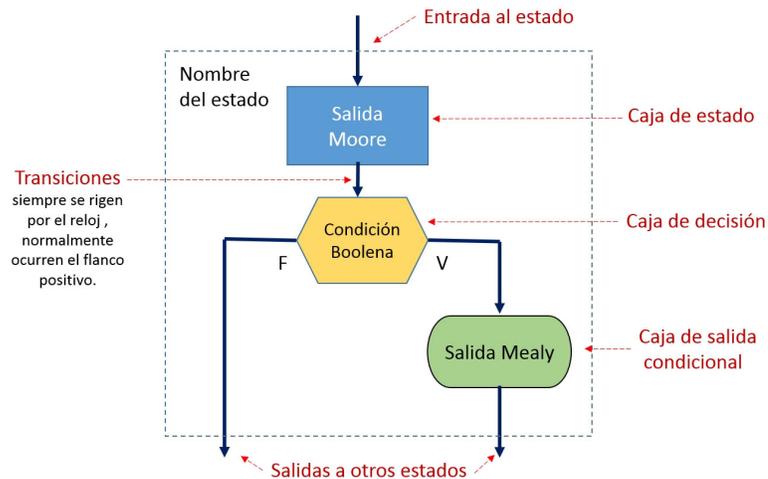


Figura 3.6: Diagrama de un bloque ASM.

En un bloque ASM se engloban tanto al estado como a las transiciones del mismo. Las cajas de estado de un bloque ASM son equivalentes a los nodos de un grafo FSM. Los saltos de estado se derivan de bloques de toma de decisión que se denominan cajas de decisión, pero a diferencia de un diagrama de flujo, no se representan mediante un rombo sino mediante un hexágono. Las salidas Moore, en concordancia con su definición, se colocan dentro de las cajas de estado, mientras que las salidas Mealy se insertan, mediante cajas con bordes redondeados, en las rutas derivadas de la caja de decisión requerida. La particular representación de una salida Mealy hace que se la denomine como caja de salida condicional.

Es importante hacer notar que en un diagrama ASM las transiciones se rigen en forma rigurosa por el reloj. Ya sea que se designe como flanco útil del reloj al flanco ascendente (positivo) o al descendente (negativo), toda transición tiene como requisito mínimo la ocurrencia, en la señal del reloj, del flanco útil. También es importante mencionar que cada trayectoria de salida del bloque ASM corresponde a una única combinación de entradas. Por supuesto, cada trayectoria de salida lleva a otro bloque ASM o retorna a la entrada del mismo.

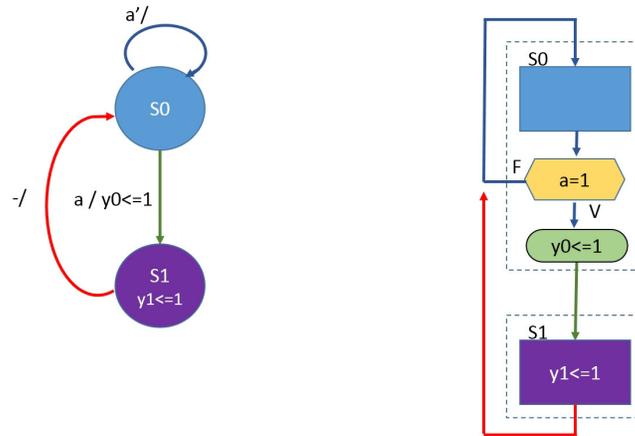


Figura 3.7: Grafo FSM y diagrama ASM equivalente.

A manera de ejemplo, en la figura 3.7 se muestra la equivalencia de un grafo FSM y un diagrama ASM para un mismo circuito secuencial. Típicamente, en el grafo FSM se emplea una diagonal (/) para separar la condición de las entradas respecto de la especificación para la salida. Lo único que no hay que perder de vista es que el flanco útil del reloj es el que señala el momento en que se revisan las condiciones y se realizan las transiciones. Así, estando la máquina en el estado S_0 , si la entrada $a=0$, se vuelve al mismo estado. Por otro lado, estando la máquina en el estado S_0 , si la entrada $a=1$, entonces se transita al estado S_1 y, durante la transición, se le asigna el valor 1 a la salida Mealy, denotada como y_0 . Una vez que se encuentra la máquina en el estado S_1 , la salida Moore, denotada como y_1 , adquiere el valor 1. No obstante, estando la máquina en el estado S_1 , basta que se presente el flanco útil del reloj para que se retorne al estado S_0 .

La metodología de diseño con enfoque a nivel de las transferencias entre registros (RTL, por sus siglas en inglés) es un tipo de abstracción, para un sistema digital, en donde se determina que la mejor forma de describir la operación del mismo es haciendo énfasis en las transferencias entre los registros que emplea para almacenar tanto el estado de la máquina como las variables que emulan la ejecución secuencial de un algoritmo. Con este enfoque, es posible describir hardware, a partir de un algoritmo, mediante la inclusión de los elementos constructivos que permiten emular el modelo de variables del mismo, así como su ejecución secuencial. La metodología RTL es suficientemente versátil, tanto para representar procesos secuenciales simples como los más complejos [2].

El elemento constructivo que permite emular en el hardware el modelo de variables de un algoritmo es precisamente el registro. Por otro lado, se emplea una máquina de estados finitos para la emulación de la ejecución secuencial del propio algoritmo. En la figura 3.8 se presenta un diagrama a bloques de un sistema digital concebido con el enfoque RTL.

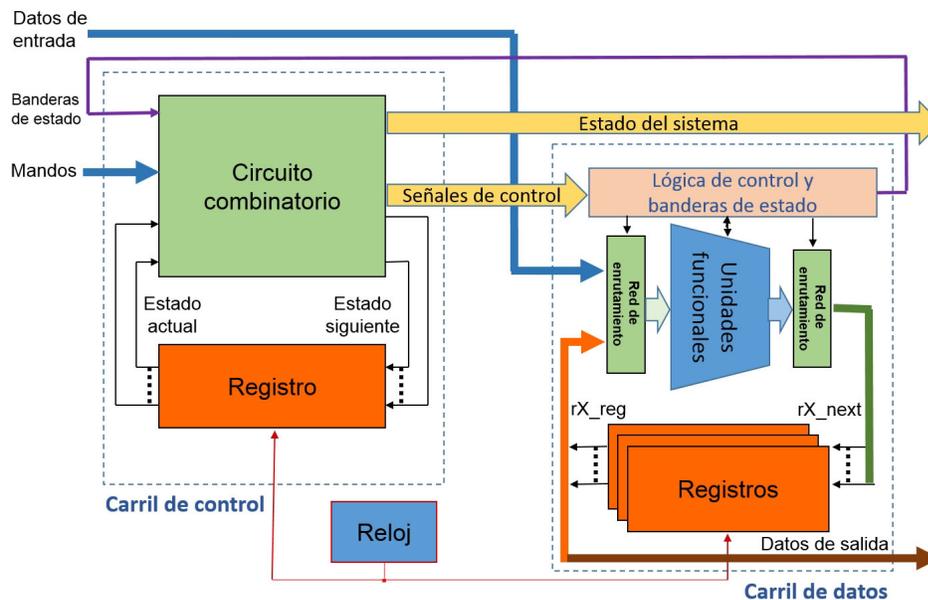


Figura 3.8: Diagrama a bloques de un sistema digital con enfoque RTL.

En la mitad derecha de la figura 3.8 se puede apreciar que la metodología RTL implica el uso de registros para almacenar los datos intermedios, a la manera de las variables en un algoritmo. Es por ello que aparece el concepto de carril de datos (*data path*), que se refiere específicamente a todos los elementos constructivos

necesarios para realizar las operaciones entre los registros. El carril de datos se compone por los registros que contienen los datos, por el circuito que los procesa y por la red de enrutamiento.

En la mitad izquierda de la figura 3.8 se puede apreciar que el carril de control (*control path*), empleado para determinar el orden de las operaciones con los registros, lo conforma un circuito secuencial y su respectiva máquina de estados finitos.

Diagramas ASMD

Dado que la metodología RTL conduce a diseños con un carril de datos y otro de control, se pueden usar grafos FSM o diagramas de ASM adicionados con la información del carril de datos. Así, una ASMD es una ASM a la que se agregan operaciones de transferencia de registro en las cajas de estado o en las cajas de salidas condicionales.

Para indicar las operaciones de transferencias de registro emplearemos la siguiente notación:

$$r_{dest} \leftarrow f(r_{src1}, r_{src1}, \dots, r_{srcn})$$

donde r_{dest} es el registro destino, r_{srcx} los registros fuentes y $f()$ la función que opera con los registros fuentes.

La emulación del modelo de variables de un algoritmo debe tomar en cuenta que las operaciones con registros no son instantáneas, a diferencia de como ocurre con las variables de un programa, y que, además, en los registros las transferencias se realizan cuando se presenta el flanco útil del reloj del sistema.

En primer lugar, no se debe olvidar que la información de los registros fuente se incorpora en las entradas del circuito combinatorio, que corresponde a la función $f()$, justo después de un cierto flanco útil del reloj del sistema. Pero, además, el circuito combinatorio tiene un tiempo de propagación para cada una de sus entradas, de tal suerte que el próximo flanco útil del reloj del sistema debe aparecer sólo hasta que el circuito combinatorio se encuentre estable. Si esto es así, se puede tener la certeza de que, en el siguiente flanco útil del reloj, el registro destino será actualizado con el resultado correcto de la función $f()$.

Por otro lado, un registro tiene señales de entrada y de salida perfectamente diferenciadas. Para leer el valor almacenado en un registro se emplean las señales de salida del mismo. Sin embargo, para escribir un valor al registro, se emplean sus señales de entrada. Esta consideración debe tomarse en cuenta al momento de codificar las operaciones de registro mediante un lenguaje de descripción de hardware (HDL, por sus siglas en inglés). Por ejemplo, considere la notación para las señales de entrada y de salida el registro representado en la figura 3.9. En este caso, la siguiente operación de registro:

$$r1 \leftarrow r1 + r2$$

equivale a la codificación VHDL:

```

--Previo al flanco positivo:
r1_next <= r1_reg + r2_reg;
--En el flanco positivo:
r1_reg <= r1_next;

```

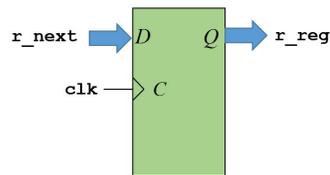


Figura 3.9: Señales de entrada y salida para un registro operado por flanco positivo del reloj.

Como ya se dijo, un diagrama ASMD es un diagrama ASM al que se agregan las operaciones de transferencia de registro, ya sea en las cajas de estado o en las cajas de salidas condicionales. Como ejemplo, en la figura 3.10a) se representa un diagrama ASMD que incluye notación de operación de registro en forma implícita. Adicionalmente, en la figura 3.10b), se representa una versión explícita del mismo diagrama ASMD, donde se emplea notación VHDL para clarificar el momento específico en el que se realiza cada una de las transferencias de datos que involucra la operación de registro indicada.

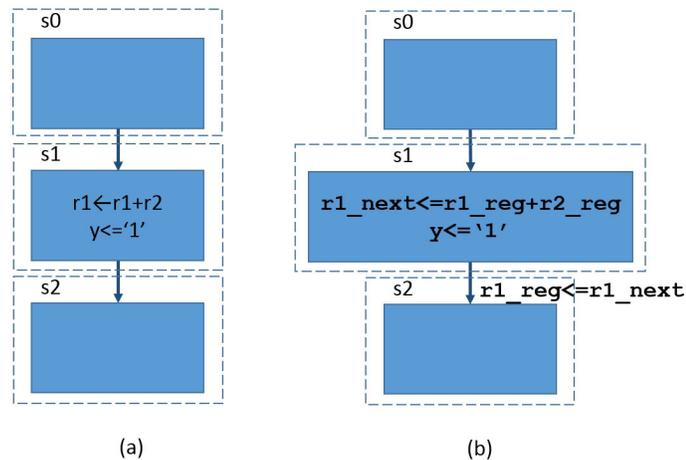


Figura 3.10: Ejemplo de diagrama ASMD, en su versión (a) implícita y (b) explícita.

Una vez que se han explicado los conceptos básicos sobre el diseño RTL y su descripción mediante diagramas ASMD, podemos retomar la especificación para el hardware del prototipo de la máquina de Post mejorada.

ESPECIFICACIÓN ASMD PARA LA REALIZACIÓN PRÁCTICA DE LA MPM

Recordemos que el ciclo de máquina de toda computadora se compone por la secuencia leer-interpretar-operar (*fetch-decode-execute*). Entonces, es mandatorio que la máquina se encuentre, antes de ejecutar un programa, en el estado previo al iniciar el primer ciclo de máquina. En nuestro caso particular, el diseño lógico de la MPM asume que se va al estado inicial cuando se aplica un nivel alto en la señal para el restablecimiento del sistema (*sys_rst*). El estado inicial de la MPM corresponde al estado *stop*, en el que lo único que se hace es esperar un nivel alto en la señal de inicio de ejecución (*run_sig*) para comenzar con la lectura, interpretación y operación de las instrucciones del programa almacenado en la memoria de código (ROM 256x4). Sabemos que el conjunto de instrucciones de la MPM incluye 8 códigos, entonces es previsible que el micro-código tenga 8 posibles bifurcaciones a partir de la decodificación de cada instrucción.

A continuación, se van a detallar los diagramas ASMD de cada uno de los estados de la MPM, partiendo del estado *stop* y recorriendo cada una de las posibles ramificaciones después de los estados *fetch* y *decode* que, precisamente, corresponden con los procesamientos secuenciales de la ejecución de cada uno de los 8 códigos de máquina del conjunto de instrucciones.

Estados stop, start y fetch

En la figura 3.11b) se puede apreciar el diagrama ASMD que incluye los estados *stop*, *start* y *fetch*. En la figura 3.11a) se muestran los diagramas de tiempos del sistema, considerando todas las señales involucradas, desde la perspectiva del CPU: el reloj del sistema (*cpu_clk*), el reloj para los bloques de memoria (*mem_clk*), el bus de direcciones para memoria de código (*code_add*), la habilitación de la memoria de código (*code_mem*), el bus para los códigos leídos (*code*), el bus de direcciones para memoria de datos (*data_add*), la habilitación de la memoria de datos (*data_mem*), la habilitación de la escritura en la memoria de datos (*data_we*), la señal con el bit que se lee de la memoria de datos (*din*) y la señal con el bit que se escribe a la memoria de datos (*dout*).

Observe que la relación entre las velocidades del reloj de la memoria (*mem_clk*) y el reloj del CPU (*cpu_clk*) es de 2 a 1. Esto se debe a que los bloques de memoria que se están empleando, tanto para el espacio de código (ROM 256x4) como para el espacio de datos (RAM 256x1), son bloques nativos de memoria síncrona del fabricante Xilinx¹ que requieren dos flancos positivos consecutivos de la señal de reloj para completar cualquier operación de lectura o escritura. Entonces, como el reloj del CPU es el que rige la operación del micro-código, que a su vez procesa las secuencias del ciclo de máquina, y dado que algunos estados de la máquina involucran el acceso a los espacios de memoria, ya sea para leerlos o para escribirlos,

¹Estos bloques de memoria son proporcionados por el fabricante del FPGA, en este caso Xilinx, como bloques propietarios (o bloques IP, por el acrónimo de *Intellectual Property*).

resulta conveniente que en un ciclo del reloj del CPU queden contenidos los dos ciclos del reloj de la memoria que se requieren para completar los ciclos de lectura y de escritura.

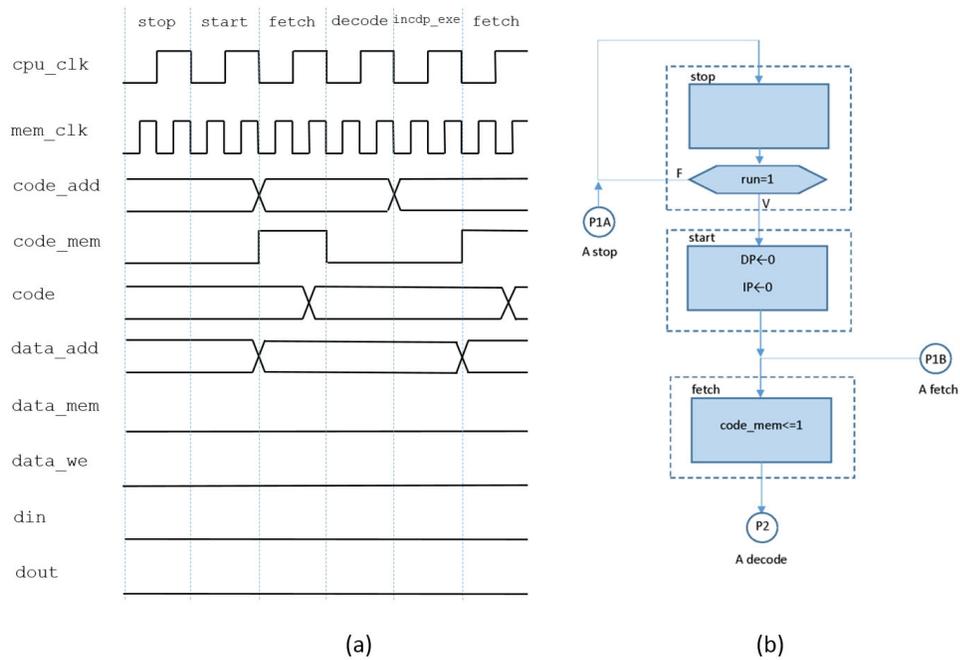


Figura 3.11: Diagrama ASMD con los estados `stop`, `start` y `fetch`, acompañado del diagrama de tiempos asociado.

La máquina verifica el estado de las señales y variables involucradas, en cada flanco positivo del reloj del CPU, y actúa en concordancia con lo indicado en el diagrama ASMD. Por ejemplo, la máquina se mantiene en el estado `stop` hasta que, en algún flanco positivo de la señal de reloj `cpu_clk`, se detecta que existe un nivel alto (un 1 lógico) en la señal `run_sig`. De ser el caso, la máquina transita al estado `start` e inicializa los apuntadores DP e IP. Esto lo hace mediante las operaciones de registro indicadas en la caja de estado correspondiente. A continuación, en el siguiente flanco positivo del reloj del CPU, se pasa al estado `fetch` y se activa la salida `code_mem`, con lo que se habilita el bloque de memoria de código y, en forma implícita, se realiza la lectura de la localidad de código indicada por el registro IP. Con esto, se está en condiciones de pasar al estado `decode` para iniciar el procesamiento correspondiente a la interpretación del código de máquina que, para ese momento, ya se encuentra disponible en el bus `code`.

*Estado **decode***

En la figura 3.12b se muestra el diagrama ASMD para el estado **decode**, mientras que en la figura 3.12a se muestra el diagrama de tiempos correspondiente. Aquí se pueden apreciar, con mucha claridad, las ocho ramificaciones que se derivan del proceso de decodificación de la instrucción leída. En primer lugar, una vez que la máquina pasa al estado **decode**, lo primero que se hace, mediante operaciones de registro, es transferir el contenido del bus `code` al registro `Instruction_reg` y se incrementa el apuntador de instrucciones `IP`. A continuación, en el siguiente flanco positivo del reloj `cpu_clk`, dependiendo del código leído, se transita al estado correspondiente.

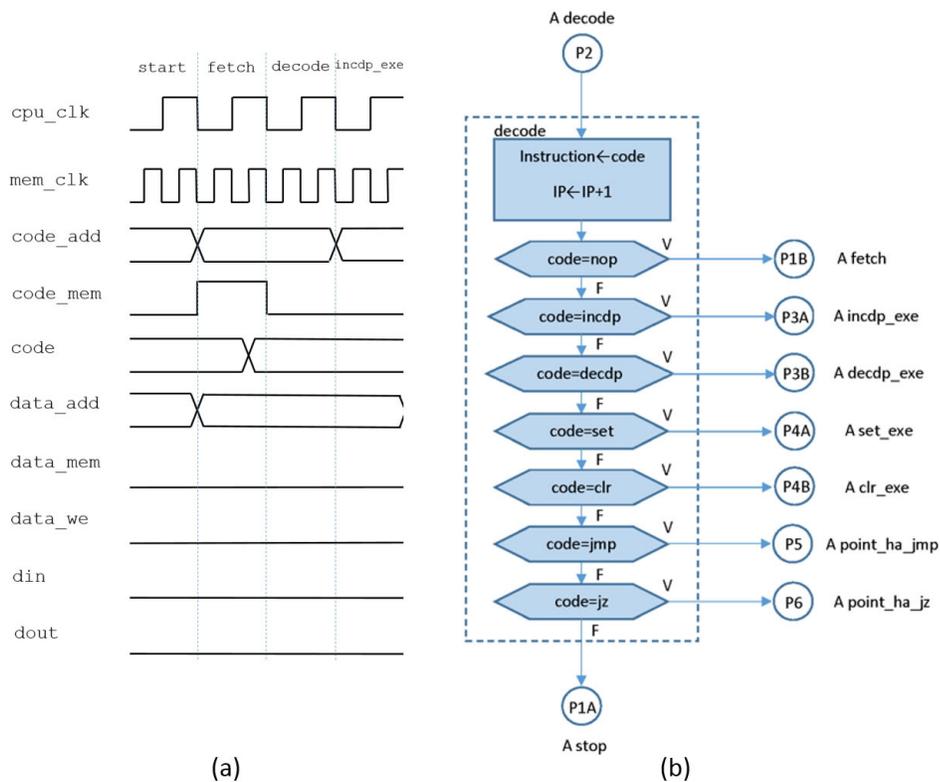


Figura 3.12: Diagrama ASMD con el estado **decode**, acompañado del diagrama de tiempos asociado.

Estados *incdp_exe* y *decdp_exe*

En la figura 3.13b se muestran los diagramas ASMD correspondientes a la ejecución de las instrucciones *incdp* y *decdp*. En la figura 3.13a se muestra el diagrama de tiempos asociado. Estos estados son muy simples y se reducen a las cajas de estado en donde se realizan las operaciones de registro que corresponden al incremento o decremento del apuntador de datos DP. Se puede confirmar que, una vez ejecutada la operación indicada, en el siguiente flanco positivo del reloj del CPU, se procede con el inicio del siguiente ciclo de máquina al retornar al estado *fetch*.

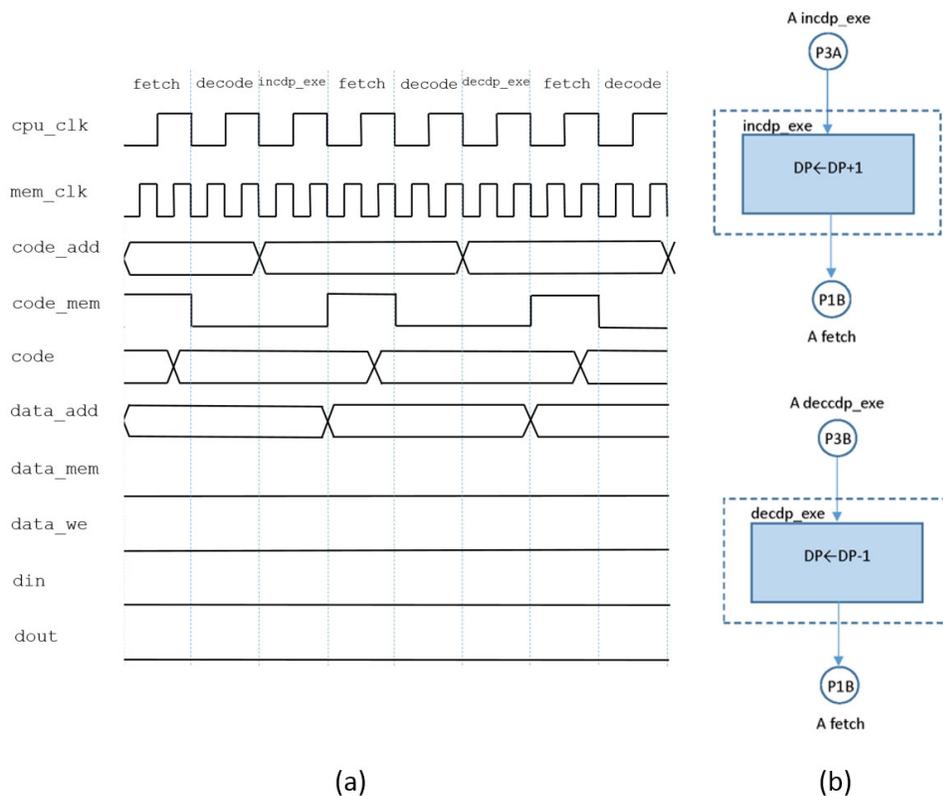


Figura 3.13: Diagrama ASMD con los estados *incdp_exe* y *decdp_exe*, acompañado del diagrama de tiempos asociado.

Estados set_exe y clr_exe

En la figura 3.14b se muestran los diagramas ASMD correspondientes a la ejecución de las instrucciones `set` y `clr`. En la figura 3.14a se muestra el diagrama de tiempos asociado. También se trata de bloques ASM que se reducen a la caja de estado solo que, en este caso, no se realizan operaciones de registro sino escrituras al espacio de memoria de datos. Se puede observar que el procedimiento consiste en indicar la escritura, ya sea de un bit 1 o de un bit 0, en la localidad indicada por el apuntador de datos DP. Para ello, dentro de la caja de estado, se habilita la memoria de datos ($data_mem \leq 1$) y se indica que se va a escribir en el bloque de memoria ($data_we \leq 1$). Evidentemente, se coloca en la señal de salida de datos el bit que se va a escribir, ya sea uno para la instrucción `set` o cero para la instrucción `clr`.

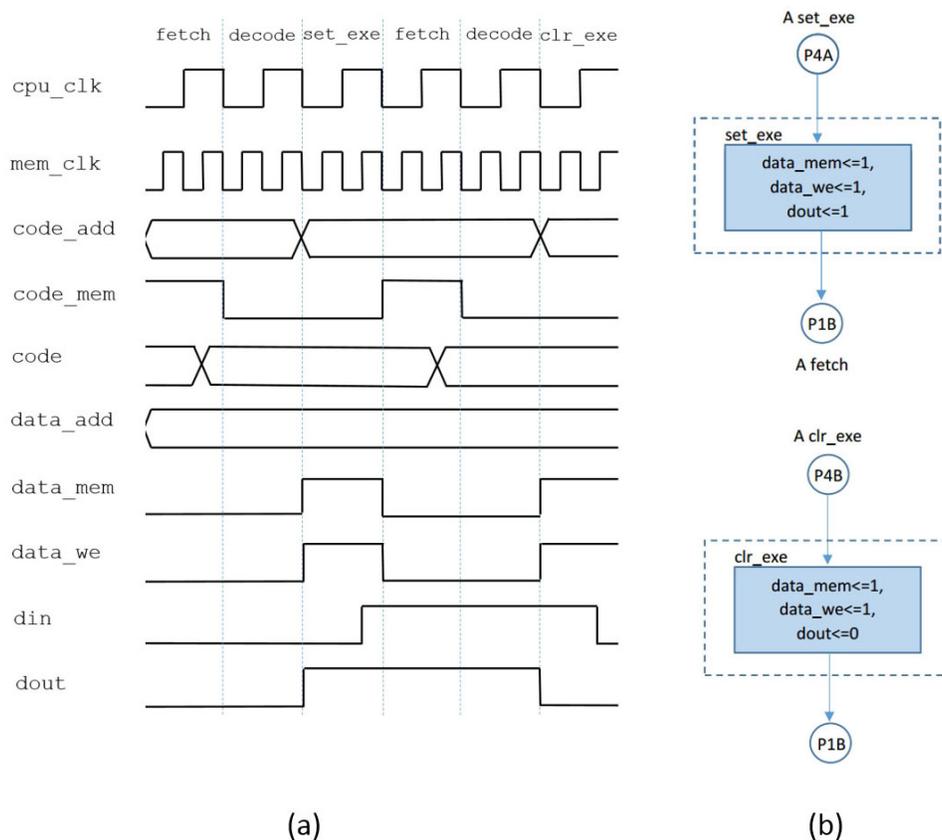


Figura 3.14: Diagrama ASMD con los estados `set_exe` y `clr_exe`, acompañado del diagrama de tiempos asociado.

*Secuencia de estados correspondientes a la instrucción **jmp***

En la figura 3.15b se muestra el diagrama ASMD correspondiente al procesamiento de la instrucción `jmp`. En la figura 3.15a se muestra el diagrama de tiempos asociado. La ejecución de la instrucción de salto incondicional involucra varias operaciones de registro y señalizaciones. Para empezar, una vez que se ha interpretado el código de máquina y se sabe que la instrucción es `jmp`, la máquina va al estado `point_ha_jmp` que, en esencia, lee el siguiente *nibble* de la memoria de código que contiene la parte alta de la dirección del salto. Esto es así porque el apuntador de instrucciones IP, previamente incrementado en el estado `decode`, ya apunta a la localidad donde se encuentra la parte alta de la dirección de salto, de tal forma que lo único que se tiene que hacer en el estado `point_ha_jmp`, para garantizar la lectura de la memoria de código, es mantener en alto a la señal que lo habilita (`code_mem<=1`).

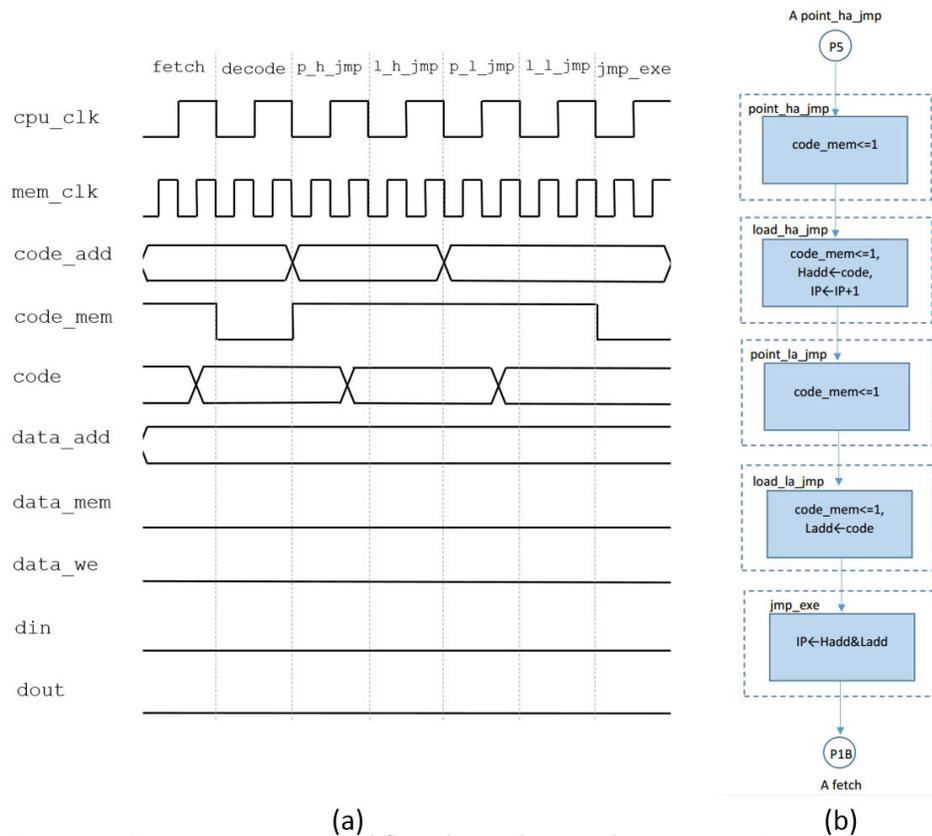


Figura 3.15: Diagrama ASMD con el flujo de estados para la instrucción `jmp`, acompañado del diagrama de tiempos asociado.

En el siguiente flanco positivo del reloj del CPU, se pasa al estado `load_ha_jump` que transfiere hacia el registro `Hadd_reg` la parte alta de la dirección que se encuentra disponible en el bus `code`. En la misma caja de estado se incrementa el apuntador de instrucciones IP mediante una operación de registro.

De manera similar, en los dos siguientes flancos positivos del reloj del CPU se procesa la parte baja de la dirección de salto. En este caso, ello se realiza en los estados `point_la_jump` y `load_la_jump`. Finalmente, se completa la ejecución de la instrucción `jmp` en el estado `jmp_exe`, en el que simplemente se carga el apuntador de instrucciones IP con la nueva dirección destino, reconstruida a partir de sus componentes.

Secuencia de estados correspondientes a la instrucción `jz`

En la figura 3.16b se muestra el diagrama ASMD correspondiente al procesamiento de la instrucción `jz`. En la figura 3.16a se muestra el diagrama de tiempos asociado. La ejecución de la instrucción de salto condicional `jz` es una versión más sofisticada del salto sin condiciones `jmp`.

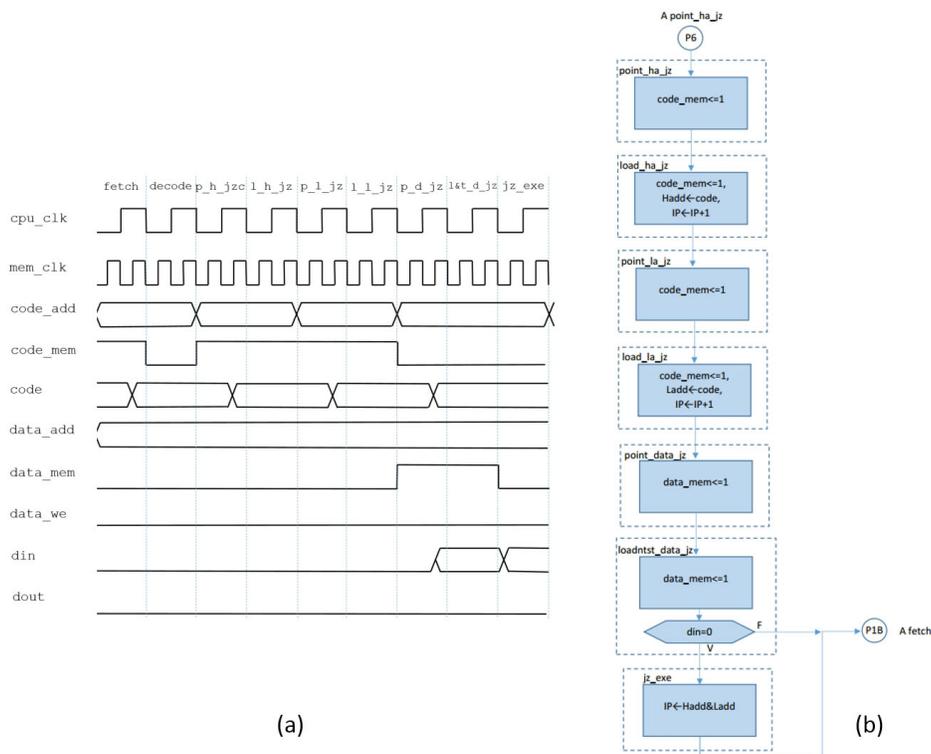


Figura 3.16: Diagrama ASMD con el flujo de estados para la instrucción `jz`, acompañado del diagrama de tiempos asociado.

Los estados `point_ha_jz`, `load_ha_jz`, `point_la_jz` y `load_la_jz` cumplen exactamente con las mismas funciones que sus equivalentes en la instrucción `jmp`, pero acá se agrega un par de estados a fin de revisar el valor de la localidad de datos, precisamente la que está indicada por el apuntador de datos `DP`, para que, si su valor es cero, la máquina salte a la dirección destino mediante la correspondiente actualización del apuntador de instrucciones `IP`.

Los estados adicionales son `point_data_jz` y `loadntst_data`. El estado `point_data_jz` se encarga de preparar la lectura de la localidad indicada por el apuntador de datos `DP`. Para ello, simplemente habilita el dispositivo de memoria de datos (`data_mem<=1`) y, dado que no se especifica otra cosa, queda implícito que la señal que indica que se va a escribir en bloque de memoria se mantiene en un nivel bajo (`data_we<=0`), lo que significa que se realiza la lectura de la localidad direccionada. El estado `loadntst_data` tiene como propósito observar el bit disponible en la señal de datos de entrada (`din`) y, si este es cero, actualizar el contenido del apuntador de instrucciones `IP` con la nueva dirección destino, reconstruida a partir de sus componentes.

Ahora, después de haber presentado las ideas generales para la propuesta del diseño lógico de un CPU, a partir de la descripción funcional de la máquina de Post mejorada mediante diagramas ASMD, se debe hacer notar que este diseño no se encuentra asociado a un hardware específico. Por ejemplo, no se ha hablado nada sobre los botones, interruptores o elementos de señalización a los que se van a conectar las diferentes señales del sistema. Sin embargo, es indispensable contar con una interfaz de entrada/salida a fin de poder obtener un prototipo funcional. En el siguiente capítulo se atenderá este importante asunto pendiente.

UNA vez que se ha realizado el diseño lógico general de la máquina de Post mejorada, en sus aspectos fundamentales, tal y como se ha visto en el capítulo previo, se puede pasar a un diseño lógico particular, sujeto a las restricciones de un hardware real y específico. En este capítulo se presenta la especificación de un diseño práctico que incluye la interfaz de entrada/salida, con lo que la máquina se vuelve completamente funcional y útil.

LA INTERFAZ DE ENTRADA/SALIDA

Las máquinas computadoras no serían de utilidad si el ser humano no pudiera interactuar con ellas a fin de cargar los datos de entrada, dar inicio a la ejecución del programa y recuperar el resultado del procesamiento realizado sobre los datos de entrada. Es por ello que se requiere de una interfaz de entrada/salida (E/S). La especificación de una interfaz de entrada/salida, para la máquina de Post mejorada desarrollada hasta este punto, permitirá definir los requerimientos mínimos de hardware para la realización práctica de un prototipo.

Si se parte del hecho de que lo más importante es poder cargar los datos, dar inicio a la ejecución del programa y, finalmente, recuperar el resultado, se pueden proponer muy diversas formas para resolver estos requerimientos. Aunque las posibles soluciones son infinitas, la realidad es que el diseño final está sujeto a las restricciones del sistema. Por todo ello, se debe partir de la definición del hardware con el que se va a trabajar.

Para el prototipo que se presenta aquí, cuyos fines son exclusivamente didácticos y pedagógicos, bastará con una tarjeta de desarrollo de bajo costo que contenga un circuito FPGA y suficientes elementos de entrada/salida, tales como interruptores, botones, LED y dispositivos de despliegue LED de 7 segmentos.

Los dispositivos FPGA son circuitos integrados programables que contienen miles de células lógicas, así como memoria y registros suficientes, y que pueden ser configurados en arreglos que emulen el funcionamiento de circuitos lógicos combinatorios y secuenciales. De hecho, los circuitos FPGA modernos más bien pueden ser considerados como sistemas completos encapsulados en un solo chip (*system*

on chip), ya que no sólo contienen la lógica programable necesaria, sino relojes, memoria para datos y código, e incluso potentes microprocesadores [6].

En nuestro caso, se van a emplear los recursos tradicionalmente disponibles en todo FPGA, es decir, la lógica programable y bancos de memoria. Esto es así, porque se trata de mostrar cómo se puede realizar un diseño propio para un dispositivo microprocesador, o CPU, y no usar uno ya existente.

Respecto de los dispositivos de entrada/salida, nos restringiremos a una interfaz por demás simple y que consistirá en los interruptores, botones, LED y dispositivos de despliegue LED de 7 segmentos que normalmente se encuentran en toda tarjeta de desarrollo para FPGA. Esta decisión se justifica en la medida en que se aspira a un diseño compacto y económico. Al mismo tiempo, siendo tan rudimentaria la interfaz de entrada/salida, se requiere que el usuario y programador del prototipo comprenda muy bien la arquitectura del diseño de la máquina, a fin de poder emplearla con provecho. Esto último, claramente, tiene grandes ventajas pedagógicas.

BOSQUEJO DE LA INTERFAZ DE E/S PARA EL PROTOTIPO DE LA MPM

Partiendo del bosquejo para la arquitectura de la MPM que se presentó en la figura 3.1, podemos representar ahora lo equivalente para la interfaz de entrada/salida. Tanto en la figura 3.1 como en el diagrama de la figura 3.2, se asume que el espacio de código y de datos han sido precargados, respectivamente, con el programa y con los datos de entrada. Aunque esto es, sin duda, perfectamente posible, no queda claro cómo es que el programador usuario puede revisar el resultado del programa. De hecho, en esa primera aproximación de la arquitectura para la MPM, no existe interfaz alguna que permita al usuario el acceso al espacio de memoria de datos, ya que es de uso exclusivo para el CPU (Post CPU).

Entonces, ¿cómo puede el usuario acceder al espacio de memoria de datos? La respuesta es que sólo lo podrá hacer hasta que se agregue una interfaz para ello. Una solución es que se cuente con un mecanismo para que el control del espacio de memoria de datos sea compartido por el CPU con una unidad de entrada/salida. La propuesta concreta es que exista una señal que permita conmutar entre dos posibles modos de operación:

Modo de ejecución (1a. aproximación). En este modo de operación, el acceso a la memoria de datos es exclusivo del CPU y se entiende que es para fines del procesamiento de la información que aloja.

Modo de acceso manual (1a. aproximación). En este modo de operación, el acceso a la memoria de datos es exclusivo para el usuario, a través de una unidad de entrada/salida diseñada ex profeso para este fin.

Por lo tanto, mientras que el bosquejo para el hardware de la MPM que aparece en la figura 3.1 se refiere a su operación en el modo de ejecución, el que corresponde a su operación en el modo de acceso manual es el que se muestra en la figura 4.1. Nótese que en esta segunda modalidad el CPU es reemplazado por la unidad de

E/S y que es, a través de ésta, que el usuario tiene acceso al contenido del espacio de datos, tanto para leerlo como para escribirlo.

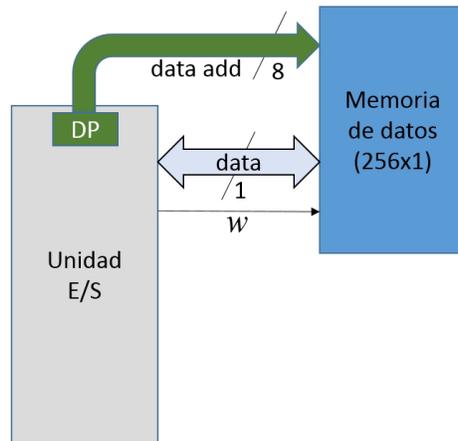


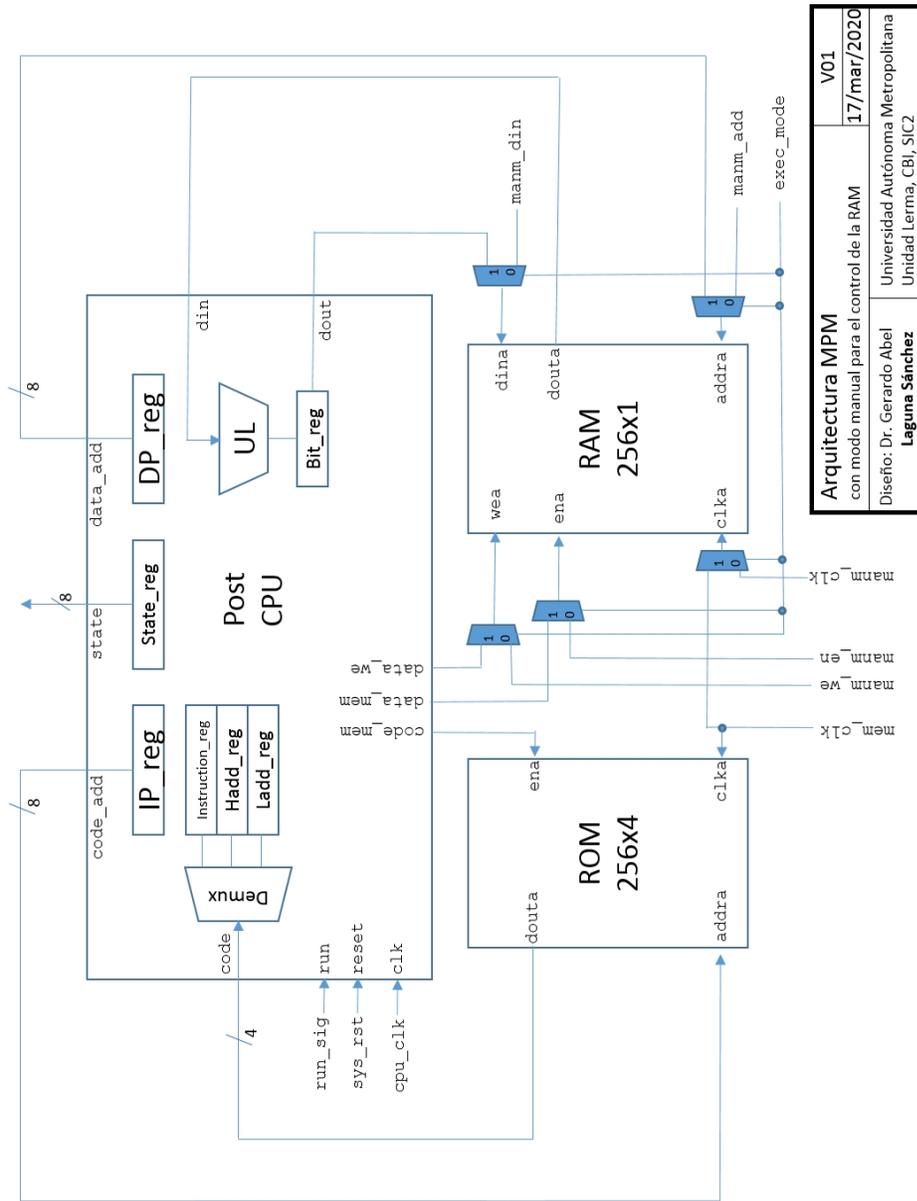
Figura 4.1: Bosquejo para la arquitectura de la MPM en modo de acceso manual a la memoria RAM.

La técnica que se propone para la conmutación entre los modos de operación de la MPM, así como para la selección del origen de las señales de control de la memoria de datos, es el empleo de simples multiplexores en cada punto de interés. El diagrama a bloques con algunos detalles de esta solución se muestra en la figura 4.2.

En el diagrama de la figura 4.2, se puede observar que se han agregado, respecto del diseño original de la figura 3.2, cinco multiplexores y la señal de control `exec_mode`. Esta última señal es precisamente la que permite conmutar entre los dos modos de operación. Cuando la señal `exec_mode` presenta un nivel de uno lógico (alto), el sistema funciona en el modo de ejecución, mientras que, en el caso contrario, cuando en la misma se aplica un nivel de cero lógico (bajo), el sistema funciona en el modo de acceso manual.

Los multiplexores canalizan, en concordancia con la señal `exec_mode`, una de las dos posibles fuentes para las señales que controlan la operación del bloque de memoria de datos (RAM 256x1). Las cuatro señales de control: `wea`, `ena`, `clka`, la línea de datos de entrada `din` y el bus de direcciones `addra` pueden ser alimentados ya sea por el CPU (Post CPU), en forma automática, o por el usuario programador, en forma manual. De esta forma, ya sólo resta especificar los mecanismos y dispositivos, mediante los que el usuario determina el estado de todas estas señales, útiles cuando la máquina se encuentra en el modo de acceso manual.

Entonces, toca el turno a la especificación de los medios para determinar el estado de cada una de las señales que el usuario tiene la posibilidad de controlar, ya sea en el modo de ejecución o en el modo de acceso manual.



Arquitectura MPM	V01
con modo manual para el control de la RAM	17/mar/2020
Diseño: Dr. Gerardo Abel Laguna Sánchez	
Universidad Autónoma Metropolitana Unidad Lerma, CBI, SIC2	

Figura 4.2: Diagrama a bloques de la arquitectura propuesta para la realización práctica de la MPM, incluyendo el mecanismo de conmutación entre modos de operación.

HARDWARE MÍNIMO DE E/S

Como ya se mencionó, a fin de interactuar con la MPM, se va a emplear una interfaz de E/S muy simple. Se asume que se cuenta con los siguientes recursos mínimos (ver figura 4.3):

- 16 interruptores, identificados como SW0 al SW15.
- 5 botones (*push buttons*), identificados como BTNU (botón arriba), BTNR (botón a la derecha), BTND (botón abajo), BTNL (botón a la izquierda) y BTNC (botón al centro).
- 16 LED, identificados como LD0 al LD15.
- 4 dispositivos de despliegue de 7 segmentos LED, identificados como DISPA1 a DISPA4.

Entonces, se empleará este hardware para operar el prototipo del sistema que nos ocupa, tanto en el modo de ejecución como en el modo de acceso manual.

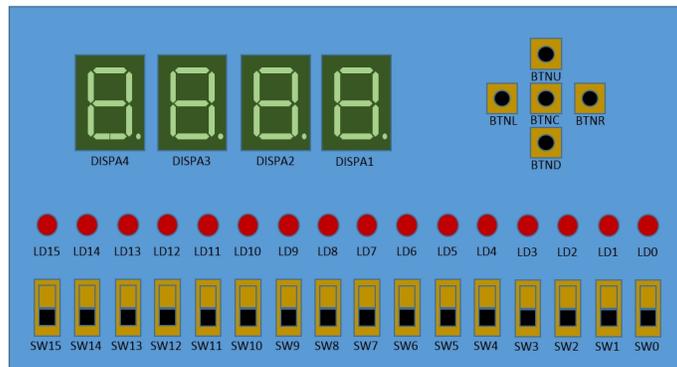


Figura 4.3: Hardware mínimo para la interfaz de E/S del prototipo de la MPM.

Tomando en cuenta el hardware disponible, se puede especificar con más detalle el funcionamiento del prototipo que se requiere:

Modo de ejecución (2a. aproximación). Cuando el interruptor selector del modo de ejecución se encuentra en ON, la unidad central de procesos que emula la máquina de Post (Post CPU) ejecuta el código que se encuentra almacenado en la memoria ROM y, a partir de estas instrucciones, procesa los datos almacenados en la memoria RAM. En este caso, los dispositivos de despliegue LED de 7 segmentos muestran el estado actual del circuito secuencial que rige la operación del ciclo de máquina de la MPM.

Modo de acceso manual (2a. aproximación). Cuando el interruptor selector del modo de ejecución se encuentra en OFF, el CPU libera el control sobre el bloque de memoria RAM y permite al usuario leer y escribir en ella. En este caso, los dispositivos de despliegue LED de 7 segmentos muestran el valor del bit contenido de la localidad de memoria RAM, que se encuentra direccionada por los interruptores correspondientes.

Ahora se puede especificar la función de cada uno de los dispositivos de entrada del sistema. Comenzaremos por los interruptores:

Interruptor SW15 (Modo de operación). A este interruptor se le asigna la función de determinar el nivel aplicado a la señal que establece el modo de operación de la MPM (`exec_mode`). Si este interruptor se encuentra en la posición ON, esto significa que la máquina opera en el modo de ejecución. En caso contrario, si el interruptor se encuentra en la posición OFF, la máquina opera en el modo de acceso manual.

Interruptor SW14 (Habilitación manual de la RAM). Este interruptor se usa para determinar, en el modo de operación manual, el nivel aplicado a la señal que habilita la memoria de datos (`manm_en`). El usuario sólo puede acceder a la memoria de datos cuando este interruptor se encuentra en la posición ON.

Interruptor SW13 (Habilitación manual de la escritura a RAM). Este interruptor se emplea para indicar, en el modo de operación manual, el nivel aplicado a la señal que especifica si la memoria de datos se encuentra funcionando en modo de escritura o de lectura (`manm_we`). Si este interruptor se encuentra en la posición ON, esto significa que la memoria opera en el modo de escritura. En caso contrario, si el interruptor se encuentra en la posición OFF, la memoria opera en el modo de lectura.

Interruptor SW12 (Bit que se escribe en la RAM). En el modo de operación manual, este interruptor se emplea para definir el nivel aplicado a la señal que representa el valor del bit que se desea escribir en la memoria de datos (`manm_din`). Si este interruptor se encuentra en la posición ON, esto significa que se desea escribir un uno lógico. En caso contrario, si el interruptor se encuentra en la posición OFF, ello significa que se escribirá un cero lógico.

Interruptores SW8-SW11 (Reservados). Su empleo dentro del diseño lógico queda reservado para futuras aplicaciones, sin embargo, pueden servir, física y visualmente, como guardas para separar las secciones de los interruptores.

Interruptores SW0-SW7 (Dirección de localidad en la RAM). En el modo manual, estos interruptores se emplean para codificar en binario (`manm_add`) la dirección que se desea acceder dentro del intervalo 0-255. Siguiendo la misma lógica empleada hasta el momento, un interruptor en ON representa a un uno lógico, mientras que si se encuentra en la posición OFF representa al cero lógico. El interruptor SW0 corresponde al bit menos significativo, mientras que el interruptor SW7 corresponde al bit más significativo de la dirección.

Respecto de los botones, tenemos las siguientes funciones asignadas:

Botón BTNU (Arranque de secuencia de pulsos para el reloj de la RAM). En el modo manual, este botón permite iniciar y completar un ciclo de lectura o escritura. En estricto sentido, mediante la presión momentánea de este botón, se aplica un pulso a la señal `manm_clk` y el usuario indica con ello al sistema que debe generar la secuencia completa de dos pulsos que se requiere, en la entrada `clk_a`, para completar un ciclo de lectura o de escritura en la memoria.

El lector curioso puede comprobar, dentro del código VHDL del [anexo A](#), que efectivamente el botón BTNU es tan sólo la entrada para una cascada de circuitos conformada por un bloque de eliminación de rebotes (componente `debouncing_3tics`) y, a continuación, un bloque que genera una secuencia de dos pulsos (componente `doublepulse_generator`) que, finalmente, se aplica a la entrada correspondiente del multiplexor que alimenta a la señal `clk_a` de la memoria RAM.

Botón BTNC (Restablecimiento del sistema). Antes de empezar a trabajar con la MPM es indispensable restablecer al sistema, mediante este botón. Mediante la opresión momentánea de este botón se aplica un pulso a la señal `sys_rst` y se indica a la máquina que se remita a su estado inicial.

Botón BTNR (Inicio de la ejecución del programa almacenado en la ROM). Este botón es de uso exclusivo en el modo de ejecución. Mediante la opresión momentánea de este botón se aplica un pulso a la señal `run_sig` y se ordena a la máquina MPM que inicie el desarrollo de los ciclos de máquina que permiten leer, interpretar y operar (*fetch-decode-execute*) cada una de las instrucciones previamente cargadas en la memoria de código (ROM 256x4).

Toca el turno a la especificación de la función para cada uno de los dispositivos de salida del sistema. Comenzaremos por los dispositivos LED, para señalización discreta:

LED0 al LED15 (Señalización del estado de los interruptores). Los LED se asocian, uno a uno, con los interruptores que tienen inmediatamente debajo. Al menos para los interruptores que se encuentran en uso en el diseño lógico, los LED deben reflejar el estado de los mismos. A saber, un LED se encuentra encendido cuando el interruptor asociado se encuentra en la posición ON. Por el contrario, un LED permanecerá apagado mientras el interruptor asociado se encuentre en el estado OFF.

Finalmente, respecto de los dispositivos de despliegue LED de 7 segmentos, se puede especificar lo siguiente:

DISPA1 a DISPA4 (Estado de la MPM/ Bit leído). Los dispositivos de despliegue LED de 7 segmentos, siendo elementos de señalización alfa-numéricos, permiten mostrar información en un formato más amigable. En particular, se puede

optar por la representación de los valores en formato hexadecimal, lo que permitiría desplegar con un solo carácter las 16 posibles combinaciones de un *nibble* o grupo de 4 bits. Los módulos de despliegue LED de 7 segmentos permiten mostrar información, dependiendo del modo de operación de la máquina, en dos contextos:

- Cuando el sistema se encuentra en modo de ejecución, los caracteres alfa-numéricos muestran el número hexadecimal que identifica al estado de la máquina secuencial, en estricta correspondencia con los diagramas ASMD del diseño lógico.
- Cuando el sistema se encuentra en modo de acceso manual, los caracteres alfa-numéricos muestran el último valor leído con origen en la memoria de datos (RAM 256x1). En este caso particular, estos valores sólo pueden ser 0 ó 1 y es de esperar que, cada vez que se completa un ciclo de lectura o de escritura por parte del usuario, se desplegará el contenido del registro direccionado por los interruptores SW0-SW7.

CONSIDERACIONES PRÁCTICAS SOBRE LA OPERACIÓN Y LA PROGRAMACIÓN DEL PROTOTIPO DE LA MPM

Para concluir con los detalles de la especificación práctica presentada en este capítulo, es importante comentar algunos aspectos de la operación y programación del prototipo propuesto.

En primer lugar, hay que tener presente que la función especificada para los dispositivos de despliegue alfa-numéricos asumen que la velocidad a la que la máquina desarrolla los ciclos de máquina es suficientemente lenta para que un humano pueda seguir la secuencia de estados a través de la lectura de la pantalla LED de 7 segmentos. Este es un detalle técnico que se resuelve fácilmente ralentizando el reloj del CPU con respecto al reloj del sistema de la tarjeta que se va a emplear para la realización práctica del prototipo. Esto es necesario ya que los relojes de sistema normalmente oscilan a frecuencias que se encuentran, típicamente, en el orden de los cientos de MHz. Si no se ralentizara el reloj que alimenta al CPU de la MPM, la ejecución de los programas sería tan rápida que no se apreciaría absolutamente nada en el despliegue alfa-numérico. Por supuesto, esto se debe únicamente a los fines didácticos del prototipo, pero es claro que el usuario puede modificar el código VHDL para aumentar la velocidad de ejecución si así lo considera necesario.

En segundo lugar, tomando en cuenta toda la información que se ha presentado, al lector le debe quedar más o menos claro que es justo a través de la interfaz de E/S que el programador usuario puede “asomarse” a la memoria de datos para revisar el contenido inicial de la misma, antes de ejecutar un programa, así como el contenido final o resultado, al concluir el programa ejecutado. Así, mediante los rudimentos explicados en este capítulo y contando con un prototipo que cumpla con dicha especificación funcional, el usuario puede leer los datos de entrada y también el resultado del procesamiento realizado sobre los mismos. Además, gracias a la interfaz propuesta, no sólo es posible leer el espacio de datos sino también

escribirlo, por lo que es perfectamente factible que el usuario cargue o modifique manualmente los datos de entrada.

Muy bien, lo anterior aclara, hasta cierto punto, cómo es que el programador usuario del prototipo de la MPM puede precargar y modificar los datos de un programa. No obstante, esto no explica cómo es que se precargó en la ROM el programa que se ejecuta. Para resolver este enigma es necesario tener en cuenta lo siguiente:

- En el diseño propuesto, la memoria ROM (ROM 256x4), que es donde se almacenan los códigos máquina del programa, no cuenta con ninguna interfaz de E/S que permita revisar y, mucho menos, modificar su contenido.
- No se cuenta con un programa ensamblador, por lo tanto, todo programa que requiera ser ejecutado por el prototipo de la MPM, en principio, debe ser codificado a mano para contar con la secuencia de *nibbles* que constituyen al programa en lenguaje de máquina.

Respecto de la primera consideración, se puede comentar aquí que, en efecto, se asume que el código del programa debe precargarse en la memoria de código al momento de sintetizar el hardware con el FPGA que se va a emplear para la realización práctica del prototipo. En el [anexo B](#) se explicará, con detalle suficiente, cómo se realiza esto con la ayuda de un archivo con los datos necesarios.¹ De hecho, se puede comprobar que el mecanismo que se emplea para precargar el contenido de la memoria de código (ROM 256x4), es exactamente el mismo que se emplea para precargar los datos de entrada en la memoria de datos (RAM 256x1).

Respecto de la segunda consideración, este aparente inconveniente puede ser, en realidad, una excelente motivación para que un lector proactivo, con algún conocimiento de computación, realice su propio programa de análisis léxico sintáctico para procesar el archivo con el código fuente y, a partir de los nemónicos de las instrucciones, genere automáticamente el código de máquina correspondiente.

Para terminar este último capítulo, sólo resta recomendar al lector que consulte los anexos de este trabajo, a fin de poder concretar la construcción de un prototipo funcional para la MPM. En el [anexo A](#) se presenta el código VHDL que codifica el hardware especificado, a partir de los diagramas ASMD presentados en el [capítulo 3](#) y de la descripción funcional de la interfaz de E/S presentada en este capítulo. Este código permite la realización práctica de un prototipo funcional si se cuenta con una tarjeta de desarrollo para un FPGA que contenga los recursos de hardware mínimos que se han sugerido aquí, como se demuestra en el [anexo B](#) en forma práctica, y donde se ofrecen las instrucciones específicas para la implementación del prototipo mediante el empleo de la tarjeta de desarrollo conocida comercialmente como Basys3, de relativo bajo costo y fabricada por la compañía Digilent [3].

¹ En nuestro caso, donde se emplean los bloques de memoria IP del fabricante Xilinx, se trata específicamente de los archivos con extensión *.coe*: *RAM.init.coe* y *ROM.init.coe*.

⊙ *Esta es una página en blanco.* ⊙

CONCLUSIONES

EN este trabajo se ha presentado el desarrollo del diseño y la especificación, para la puesta en marcha y la programación, de un prototipo para un CPU con una arquitectura pequeña, aunque funcional, a partir de una variante mejorada para la máquina de Emil Post. El diseño lógico se especificó mediante la metodología RTL y es perfectamente codificable con cualquier lenguaje de descripción de hardware, como lo son VHDL o Verilog. En particular, en los anexos de este trabajo, se proporcionan los detalles para obtener un prototipo funcional mediante la síntesis e implementación de un proyecto VHDL, dentro del entorno Vivado de Xilinx, y la correspondiente carga de la secuencia binaria para el FPGA de una tarjeta de desarrollo de bajo costo.

El sistema resultante puede ser fácilmente programado en lenguaje de máquina, partiendo de un programa fuente, con instrucciones y sintaxis similares a las de un lenguaje ensamblador moderno. El autor está convencido de que la arquitectura propuesta, siendo tan simple y asequible, posibilita a los interesados a contar con una herramienta para desarrollar, experimentar y enseñar/aprender los conceptos fundamentales del software y hardware de los sistemas, tales como el algoritmo, el lenguaje de máquina, el lenguaje ensamblador, el micro-código, el micro-procesamiento, el diseño RTL y la codificación de sistemas digitales con lenguajes de descripción de hardware, todo lo cual puede ser de gran ayuda dentro del proceso de enseñanza-aprendizaje de cursos con temas afines, como lo pueden ser los cursos de diseño lógico, de programación de sistemas digitales y de sistemas micro-procesados, entre otros.

⊙ *Esta es una página en blanco.* ⊙

CÓDIGO VHDL PARA EL PROTOTIPO DE LA MPM CON UNA TARJETA BASYS3

ANEXO

A

ARCHIVO *Top_Basys3.vhd*

```
-----
-- Entidad integradora para el CPU MPM con una tarjeta Basys3
-----
-- Codigo para la monografia:
-- La Maquina de Post actualizada
-- Diseno, puesta en marcha y programacion del
-- prototipo de un pequeno CPU funcional
-----
-- Author: Gerardo A. Laguna S.
-- Universidad Autonoma Metropolitana
-- Unidad Lerma
-- 26.marzo.2020
-----
-- Library declarations
-----
library ieee;
  use ieee.std_logic_1164.all;

-----
-- Entity declaration
-----
entity Basys3_system is
port (

  --Basys3 Resources
  btnC      : in std_logic; -- sys_rst
  btnU      : in std_logic; -- manm_clk
  btnR      : in std_logic; -- run_sig
  sysclk    : in std_logic;
  led       : out std_logic_vector(15 downto 0);
  sw        : in std_logic_vector(15 downto 0);
  seg       : out std_logic_vector(6 downto 0);
```

```
        an          : out std_logic_vector(3 downto 0)

    );
end Basys3_system;

architecture my_arch of Basys3_system is

-----
-- Components declaration
-----

component doublepulse_generator
    port(
        clk          : in std_logic;
        reset        : in std_logic;
        trigger      : in std_logic;
        p            : out std_logic
    );
end component;

component debouncing_3tics
    port(
        clk   : in std_logic;
        rst   : in std_logic;
        x     : in std_logic;
        y     : out std_logic
    );
end component;

component Bin_Counter
    port (
        clk      : in std_logic;
        q        : out std_logic_vector(23 DOWNTO 0)
    );
end component;

component hex2led
    Port (
        hex      : in std_logic_vector(3 downto 0);
        led      : out std_logic_vector(6 downto 0 )
    );
end component;

component RAM_256x1
    Port (
        clka     : in std_logic;
        ena      : in std_logic;
        wea      : in std_logic_vector(0 downto 0);
```

```

        addra    : in std_logic_vector(7 downto 0);
        dina     : in std_logic_vector(0 downto 0);
        douta    : out std_logic_vector(0 downto 0)
    );
end component;

component ROM_256x4
    Port (
        clka     : in std_logic;
        ena      : in std_logic;
        addra    : in std_logic_vector(7 downto 0);
        douta    : out std_logic_vector(3 downto 0)
    );
end component;

component Post_cpu
    port (
        clk, reset : in std_logic;
        run        : in std_logic;
        state      : out std_logic_vector(7 downto 0);
        code_add   : out std_logic_vector(7 downto 0);
        code       : in std_logic_vector(3 downto 0);
        code_mem   : out std_logic;
        data_add   : out std_logic_vector(7 downto 0);
        din        : in std_logic;
        dout       : out std_logic;
        data_mem   : out std_logic;
        data_we    : out std_logic
    );
end component;

-----
-- Signal declaration
-----

signal sys_rst        : std_logic;
signal refresh        : std_logic;
signal exec_mode      : std_logic;
signal one_pulse      : std_logic;
signal run_sig        : std_logic;
signal usrclk         : std_logic_vector(23 downto 0); -- Senales de reloj
signal disp_driver    : std_logic_vector(6 downto 0); -- Disp. 7 segmentos LED
signal ram2cpu_data   : std_logic;
signal cpu2ram_data   : std_logic;
signal manm_din       : std_logic;
signal muxed_din      : std_logic;
signal data_add_bus   : std_logic_vector(7 downto 0);
signal manm_add       : std_logic_vector(7 downto 0);
signal muxed_add      : std_logic_vector(7 downto 0);
signal code_add_bus   : std_logic_vector(7 downto 0);

```

```
signal code_bus      : std_logic_vector(3 downto 0);
signal RAM_en       : std_logic;
signal manm_en      : std_logic;
signal muxed_en     : std_logic;
signal RAM_we       : std_logic;
signal manm_we      : std_logic;
signal muxed_we     : std_logic;
signal ROM_en       : std_logic;
signal mem_clk      : std_logic;
signal manm_clk     : std_logic;
signal muxed_clk    : std_logic;
signal cpu_clk      : std_logic;
signal disp_ref_clk : std_logic;
signal disp_bus     : std_logic_vector(3 downto 0);
signal state_byte   : std_logic_vector(7 downto 0);
signal state_nible  : std_logic_vector(3 downto 0);
signal data_byte    : std_logic_vector(7 downto 0);
signal data_nible   : std_logic_vector(3 downto 0);
```

```
-----
-- Begin
-----
```

```
begin
```

```
    my_Post_Machine : Post_cpu
    port map(
        clk => cpu_clk,
        reset => sys_rst,
        run => run_sig,
        state => state_byte,
        code_add => code_add_bus,
        code => code_bus,
        code_mem => ROM_en,
        data_add => data_add_bus,
        din => ram2cpu_data,
        dout => cpu2ram_data,
        data_mem => RAM_en,
        data_we => RAM_we
    );

    my_Pulse_gen : doublepulse_generator
    port map (
        clk => disp_ref_clk,
        reset => sys_rst,
        trigger => one_pulse,
        p => manm_clk
    );
```

```
my_Debouncing : debouncing_3tics
port map (
    clk => disp_ref_clk,
    rst => sys_rst,
    x => refresh,
    y => one_pulse
);

my_Counter : Bin_Counter
port map (
    clk => sysclk,
    q => usrclk
);

my_RAM : RAM_256x1
port map(
    clka => muxed_clk,
    ena => muxed_en,
    wea(0) => muxed_we,
    addra => muxed_add,
    dina(0) => muxed_din,
    douta(0) => ram2cpu_data
);

my_ROM : ROM_256x4
port map(
    clka => mem_clk,
    ena => ROM_en,
    addra => code_add_bus,
    douta => code_bus
);

-- Binary coded Hexa to 7 segments display:

my_Display7seg : hex2led
port map (
    hex => disp_bus,
    led => disp_driver
);

state_nible <= state_byte(7 downto 4) when (disp_ref_clk = '1') else
    state_byte(3 downto 0);

data_nible <= data_byte(7 downto 4) when (disp_ref_clk = '1') else
    data_byte(3 downto 0);

an <= "0111" when (disp_ref_clk = '1') else
    "1011";
```

```
seg <= disp_driver;

data_byte <= "00000001" when (ram2cpu_data = '1') else
    "00000000";

disp_bus <= state_nible when (exec_mode = '1') else
    data_nible;

-- RAM's multiplexed control:
muxed_add <= data_add_bus when (exec_mode = '1') else
    manm_add;

muxed_din <= cpu2ram_data when (exec_mode = '1') else
    manm_din;

muxed_en <= RAM_en when (exec_mode = '1') else
    manm_en;

muxed_we <= RAM_we when (exec_mode = '1') else
    manm_we;

muxed_clk <= mem_clk when (exec_mode = '1') else
    manm_clk;

-- Conections:
disp_ref_clk <= usrclk(20);
mem_clk <= usrclk(22);
cpu_clk <= usrclk(23);

sys_rst <= btnC;
refresh <= btnU;
run_sig <= btnR;
exec_mode <= sw(15);
manm_en <= sw(14);
manm_we <= sw(13);
manm_din <= sw(12);
manm_add <= sw(7 downto 0);

led(0) <= sw(0);    -- manm_add0 & LED
led(1) <= sw(1);    -- manm_add1 & LED
led(2) <= sw(2);    -- manm_add2 & LED
led(3) <= sw(3);    -- manm_add3 & LED
led(4) <= sw(4);    -- manm_add4 & LED
led(5) <= sw(5);    -- manm_add5 & LED
led(6) <= sw(6);    -- manm_add6 & LED
led(7) <= sw(7);    -- manm_add7 & LED
```

```
led(8) <= sw(8);    -- Guard & LED
led(9) <= sw(9);    -- Guard & LED
led(10) <= sw(10); -- Guard & LED
led(11) <= sw(11); -- Guard & LED

led(12) <= sw(12); -- manm_din & LED
led(13) <= sw(13); -- manm_we & LED
led(14) <= sw(14); -- manm_en & LED
led(15) <= sw(15); -- exec_mode & LED

end my_arch;
```

```
-----
-- Entidad para la Maquina de Post Mejorada (CPU MPM)
-----
-- Codigo para la monografia:
-- La Maquina de Post actualizada
-- Diseno, puesta en marcha y programacion del
-- prototipo de un pequeno CPU funcional
-----
-- Author: Gerardo A. Laguna S.
-- Universidad Autonoma Metropolitana
-- Unidad Lerma
-- 26.marzo.2020
-----
-- Library declarations
-----
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

-----
-- Entity declaration
-----
entity Post_cpu is
  port(
    clk, reset : in std_logic;
    run        : in std_logic;
    state      : out std_logic_vector(7 downto 0);
    code_add   : out std_logic_vector(7 downto 0);
    code       : in std_logic_vector(3 downto 0);
    code_mem   : out std_logic;
    data_add   : out std_logic_vector(7 downto 0);
    din        : in std_logic;
    dout       : out std_logic;
    data_mem   : out std_logic;
    data_we    : out std_logic
  );
end Post_cpu;

architecture my_arch of Post_cpu is
-----
-- Constant declaration
-----

  constant stop          : std_logic_vector(7 downto 0) := "00000000";
  constant start        : std_logic_vector(7 downto 0) := "00000001";
  constant fetch        : std_logic_vector(7 downto 0) := "00000010";
  constant decode       : std_logic_vector(7 downto 0) := "00000011";
```

```

constant point_ha_jump      : std_logic_vector(7 downto 0) := "00000100";
constant load_ha_jump       : std_logic_vector(7 downto 0) := "00000101";
constant point_la_jump      : std_logic_vector(7 downto 0) := "00000110";
constant load_la_jump       : std_logic_vector(7 downto 0) := "00000111";
constant jmp                : std_logic_vector(7 downto 0) := "00001000";
constant point_ha_jz        : std_logic_vector(7 downto 0) := "00001001";
constant load_ha_jz         : std_logic_vector(7 downto 0) := "00001010";
constant point_la_jz        : std_logic_vector(7 downto 0) := "00001011";
constant load_la_jz         : std_logic_vector(7 downto 0) := "00001100";
constant point_data_jz      : std_logic_vector(7 downto 0) := "00001101";
constant loadntst_data_jz   : std_logic_vector(7 downto 0) := "00001110";
constant jz                 : std_logic_vector(7 downto 0) := "00001111";
constant incdp              : std_logic_vector(7 downto 0) := "00010000";
constant decdp              : std_logic_vector(7 downto 0) := "00010001";
constant set                : std_logic_vector(7 downto 0) := "00010010";
constant clr                : std_logic_vector(7 downto 0) := "00010011";
constant nop_code           : std_logic_vector(3 downto 0) := "0000";
constant incdp_code         : std_logic_vector(3 downto 0) := "0001";
constant decdp_code         : std_logic_vector(3 downto 0) := "0010";
constant set_code           : std_logic_vector(3 downto 0) := "0011";
constant clr_code           : std_logic_vector(3 downto 0) := "0100";
constant jmp_code           : std_logic_vector(3 downto 0) := "0101";
constant jz_code            : std_logic_vector(3 downto 0) := "0110";
constant stoop_code         : std_logic_vector(3 downto 0) := "0111";

-----
-- Signal declaration
-----
signal state_reg, state_next      : std_logic_vector(7 downto 0);
signal IP_reg, IP_next            : unsigned(7 downto 0);
signal DP_reg, DP_next            : unsigned(7 downto 0);
signal instruction_reg, instruction_next : std_logic_vector(3 downto 0);
signal hadd_reg, hadd_next        : unsigned(3 downto 0);
signal ladd_reg, ladd_next        : unsigned(3 downto 0);
signal bit_reg, bit_next          : std_logic;
signal rome_next, rame_next, we_next : std_logic;
signal rome_reg, rame_reg, we_reg  : std_logic;

-----
-- Begin
-----
begin
  -- state & data registers
  process(clk, reset)
  begin
    if (reset='1') then
      state_reg <= stop;
      IP_reg <= (others=>'0');
      DP_reg <= (others=>'0');
      instruction_reg <= (others=>'0');
      hadd_reg <= (others=>'0');
      ladd_reg <= (others=>'0');
      bit_reg <= '0';
      rome_reg <= '0';
      rame_reg <= '0';
      we_reg <= '0';
    end if;
  end process;
end begin;

```

```
    elsif (clk'event and clk='1') then
        state_reg <= state_next;
        IP_reg <= IP_next;
        DP_reg <= DP_next;
        instruction_reg <= instruction_next;
        hadd_reg <= hadd_next;
        ladd_reg <= ladd_next;
        bit_reg <= bit_next;
        rome_reg <= rome_next;
        rame_reg <= rame_next;
        we_reg <= we_next;
    end if;
end process;

-- next-state logic & data path functional units/routing
process(state_reg,run,code,din,
        IP_reg,DP_reg,instruction_reg,hadd_reg,ladd_reg)
begin
    IP_next <= IP_reg;
    DP_next <= DP_reg;
    instruction_next <= instruction_reg;
    hadd_next <= hadd_reg;
    ladd_next <= ladd_reg;

    case state_reg is
        when stop =>
            if run='1' then
                state_next <= start;
            else
                state_next <= stop;
            end if;
        when start =>
            IP_next <= (others=>'0');
            DP_next <= (others=>'0');
            state_next <= fetch;
        when fetch =>
            state_next <= decode;
        when decode =>
            instruction_next <= code;
            IP_next <= IP_reg + 1;

            if code = nop_code then --If nop
                state_next <= fetch;
            else
                if code = incdp_code then --If incdp
                    state_next <= incdp;
                else
                    if code = decdp_code then --If decdp
                        state_next <= decdp;
                    else
                        if code = set_code then --If set
                            state_next <= set;
                        else
                            if code = clr_code then --If clr
                                state_next <= clr;
                            else
```



```
        DP_next <= DP_reg - 1;
        state_next <=fetch;
    when set =>
        state_next <=fetch;
    when clr =>
        state_next <=fetch;
    when others =>
        state_next <=stop;
    end case;
end process;

-- look-ahead output logic
process(state_next)
begin
    rome_next <= '0';
    rame_next <= '0';
    we_next <= '0';
    bit_next <= '0';

    case state_next is
        when stop =>
        when start =>
        when fetch =>
            rome_next <= '1';
        when decode =>
            rome_next <= '1';
        when point_ha_jmp =>
            rome_next <= '1';
        when load_ha_jmp =>
            rome_next <= '1';
        when point_la_jmp =>
            rome_next <= '1';
        when load_la_jmp =>
            rome_next <= '1';
        when jmp =>
        when point_ha_jz =>
            rome_next <= '1';
        when load_ha_jz =>
            rome_next <= '1';
        when point_la_jz =>
            rome_next <= '1';
        when load_la_jz =>
            rome_next <= '1';
        when point_data_jz =>
            rame_next <= '1';
        when loadntst_data_jz =>
            rame_next <= '1';
        when jz =>
        when incdp=>
        when decdp=>
        when set =>
            bit_next <= '1';
            rame_next <= '1';
            we_next <= '1';
        when clr =>
            bit_next <= '0';
```

```
        rame_next <= '1';
        we_next <= '1';
    when others =>

        end case;
    end process;

    -- outputs
    state <= state_reg;
    code_add <= std_logic_vector(IP_reg);
    code_mem <= rome_reg;
    data_add <= std_logic_vector(DP_reg);
    dout <= bit_reg;
    data_mem <= rame_reg;
    data_we <= we_reg;

end my_arch;
```

ARCHIVO *behavioral_hex2led.vhd*

```
=====
-- Entidad para despliegue de caracteres hexadecimales
=====
-- Codigo para la monografia:
-- La Maquina de Post actualizada
-- Diseno, puesta en marcha y programacion del
-- prototipo de un pequeno CPU funcional
=====
-- Author: Gerardo A. Laguna S.
-- Universidad Autonoma Metropolitana
-- Unidad Lerma
-- 26.marzo.2020
-----
-- Library declarations
-----

library IEEE;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

-----
-- Entity declaration
-----

entity hex2led is
  Port (
    HEX : in  std_logic_vector(3 downto 0);
    LED : out std_logic_vector(6 downto 0 )
    );
end hex2led;

architecture behavioral_arch of hex2led is
-----
-- Components declaration
-----

-----
-- Signal declaration
-----

-----
-- Architecture body
-----

begin
```

```
--
-- segment encoding
--     0
--     ---
-- 5 |   | 1
--     ---  <- 6
-- 4 |   | 2
--     ---
--     3

with HEX SElect
LED<= "1111001" when "0001",  --1
      "0100100" when "0010",  --2
      "0110000" when "0011",  --3
      "0011001" when "0100",  --4
      "0010010" when "0101",  --5
      "0000010" when "0110",  --6
      "1111000" when "0111",  --7
      "0000000" when "1000",  --8
      "0010000" when "1001",  --9
      "0001000" when "1010",  --A
      "0000011" when "1011",  --B
      "1000110" when "1100",  --C
      "0100001" when "1101",  --D
      "0000110" when "1110",  --E
      "0001110" when "1111",  --F
      "1000000" when others;  --0

end behavioral_arch;
```

ARCHIVO *debouncing_mod.vhd*

```
-----
-- Entidad para eliminacion de rebotes en senales de entrada
-----
--Codigo para la monografia:
-- La Maquina de Post actualizada
-- Diseno, puesta en marcha y programacion del
-- prototipo de un pequeno CPU funcional
-----
-- Author: Gerardo A. Laguna S.
-- Universidad Autonoma Metropolitana
-- Unidad Lerma
-- 26.marzo.2020
-----

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity debouncing_3tics is
    port(
        clk    : in std_logic;
        rst    : in std_logic;
        x      : in std_logic;
        y      : out std_logic
    );
end debouncing_3tics;

architecture asmd_arch of debouncing_3tics is
    constant N_TICS: natural:= 3;
    type asmd_state_type is (Low, Idle, High);
    signal state_reg, state_next: asmd_state_type;
    signal c_reg, c_next: unsigned(3 downto 0);

begin
    -- state and data registers
    process(clk,rst)
    begin
        if (rst='1') then
            state_reg <= idle;
            c_reg <= (others=>'0');
        elsif (clk'event and clk='1') then
            state_reg <= state_next;
            c_reg <= c_next;
        end if;
    end process;

    -- next-state logic & data path functional units/routing
```

```
process(state_reg,x,c_reg)
begin
  y <= '0';
  c_next <= c_reg;
  case state_reg is
    when Low =>
      if x='1' then
        state_next <= Idle;
      else
        state_next <= Low;
      end if;
      c_next <= (others=>'0');
    when Idle =>
      if x='1' then
        if (c_reg=N_TICS-1) then
          state_next <=High;
        else
          state_next <=Idle;
          c_next <= c_reg + 1;
        end if;
      else
        state_next <=Low;
      end if;
    when High =>
      if x='1' then
        state_next <= High;
      else
        state_next <= Low;
      end if;
      y <= '1';
    end case;
  end process;
end asmd_arch;
```

ARCHIVO *double_pulse.vhd*

```
-----
-- Entidad para generar de una secuencia de dos pulsos
-----
--Codigo para la monografia:
-- La Maquina de Post actualizada
-- Diseno, puesta en marcha y programacion del
-- prototipo de un pequeno CPU funcional
-----
-- Author: Gerardo A. Laguna S.
-- Universidad Autonoma Metropolitana
-- Unidad Lerma
-- 26.marzo.2020
-----

library ieee;
use ieee.std_logic_1164.all;

entity doublepulse_generator is
    port(
        clk, reset : in std_logic;
        trigger     : in std_logic;
        p           : out std_logic
    );
end doublepulse_generator;

architecture moore_arch of doublepulse_generator is

    type state_type is (idle, High1, Low, High2);
    signal state_reg, state_next: state_type;

begin
    -- state register
    process(clk,reset)
    begin
        if (reset='1') then
            state_reg <= idle;
        elsif (clk'event and clk='1') then
            state_reg <= state_next;
        end if;
    end process;
    -- next-state and output logic
    process(state_reg,trigger)
    begin
        p <= '0'; --By default
        case state_reg is
            when idle=>
                if trigger= '1' then
```

```
        state_next <= High1;
    else
        state_next <= idle;
    end if;
when High1 =>
    state_next <= Low;
    p <= '1'; --Moore Output
when Low =>
    state_next <= High2;
when High2 =>
    state_next <= Idle;
    p <= '1'; --Moore Output
end case;
end process;

end moore_arch;
```

ARCHIVO RAM_init.coe

```
;=====
; Archivo con los datos precargados en la memoria de datos (RAM256x1)
;=====
;Codigo para la monografia:
; La Maquina de Post actualizada
; Diseno, puesta en marcha y programacion del
; prototipo de un pequeno CPU funcional
;=====
; Author: Gerardo A. Laguna S.
; Universidad Autonoma Metropolitana
; Unidad Lerma
; 26.marzo.2020
;-----
;
; This .COE file specifies initialization values for a block
; memory of depth=256, and width=1.
; Only the first 8 bits are specified:
;
memory_initialization_radix=16;
memory_initialization_vector=
1,
1,
1,
0,
0,
0,
0,
0;

```

ARCHIVO *ROM_init.coe*

```
=====
; Archivo con los nibbles precargados en la memoria de código (ROM256x4)
=====
; Código para la monografía:
; La Máquina de Post actualizada
; Diseño, puesta en marcha y programación del
; prototipo de un pequeño CPU funcional
=====
; Author: Gerardo A. Laguna S.
; Universidad Autónoma Metropolitana
; Unidad Lerma
; 26.marzo.2020
;-----
;
; This .COE file specifies initialization values for a block
; memory of depth=256, and width=4.
; Only the first 8 nibbles are specified.
; Values are specified in hexadecimal format:
;
memory_initialization_radix=16;
memory_initialization_vector=
1,
6,
0,
7,
5,
0,
0,
3,
7;
```

ARCHIVO *Top_Basys3.xdc*

```
##-----  
## Archivo .xdc con las restricciones de hardware para la tarjeta Basys3 Rev B  
##-----  
##Codigo para la monografia:  
## La Maquina de Post actualizada  
## Diseno, puesta en marcha y programacion del  
## prototipo de un pequeno CPU funcional  
##-----  
## Author: Gerardo A. Laguna S.  
## Universidad Autonoma Metropolitana  
## Unidad Lerma  
## 26.marzo.2020  
##-----  
  
## Clock signal  
set_property PACKAGE_PIN W5 [get_ports sysclk]  
set_property IOSTANDARD LVCMOS33 [get_ports sysclk]  
create_clock -add -name sys_clk_pin -period10.00 -waveform {0 5}  
[get_ports sysclk]  
  
## Switches  
set_property PACKAGE_PIN V17 [get_ports {sw[0]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[0]}]  
set_property PACKAGE_PIN V16 [get_ports {sw[1]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[1]}]  
set_property PACKAGE_PIN W16 [get_ports {sw[2]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[2]}]  
set_property PACKAGE_PIN W17 [get_ports {sw[3]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[3]}]  
set_property PACKAGE_PIN W15 [get_ports {sw[4]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[4]}]  
set_property PACKAGE_PIN V15 [get_ports {sw[5]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[5]}]  
set_property PACKAGE_PIN W14 [get_ports {sw[6]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[6]}]  
set_property PACKAGE_PIN W13 [get_ports {sw[7]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[7]}]  
set_property PACKAGE_PIN V2 [get_ports {sw[8]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[8]}]  
set_property PACKAGE_PIN T3 [get_ports {sw[9]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[9]}]  
set_property PACKAGE_PIN T2 [get_ports {sw[10]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[10]}]  
set_property PACKAGE_PIN R3 [get_ports {sw[11]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[11]}]  
set_property PACKAGE_PIN W2 [get_ports {sw[12]}]  
set_property IOSTANDARD LVCMOS33 [get_ports {sw[12]}]
```

```
set_property PACKAGE_PIN U1 [get_ports {sw[13]}]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[13]}]
set_property PACKAGE_PIN T1 [get_ports {sw[14]}]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[14]}]
set_property PACKAGE_PIN R2 [get_ports {sw[15]}]
set_property IOSTANDARD LVCMOS33 [get_ports {sw[15]}]

## LEDs
set_property PACKAGE_PIN U16 [get_ports {led[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[0]}]
set_property PACKAGE_PIN E19 [get_ports {led[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[1]}]
set_property PACKAGE_PIN U19 [get_ports {led[2]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[2]}]
set_property PACKAGE_PIN V19 [get_ports {led[3]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[3]}]
set_property PACKAGE_PIN W18 [get_ports {led[4]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[4]}]
set_property PACKAGE_PIN U15 [get_ports {led[5]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[5]}]
set_property PACKAGE_PIN U14 [get_ports {led[6]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[6]}]
set_property PACKAGE_PIN V14 [get_ports {led[7]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[7]}]
set_property PACKAGE_PIN V13 [get_ports {led[8]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[8]}]
set_property PACKAGE_PIN V3 [get_ports {led[9]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[9]}]
set_property PACKAGE_PIN W3 [get_ports {led[10]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[10]}]
set_property PACKAGE_PIN U3 [get_ports {led[11]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[11]}]
set_property PACKAGE_PIN P3 [get_ports {led[12]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[12]}]
set_property PACKAGE_PIN N3 [get_ports {led[13]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[13]}]
set_property PACKAGE_PIN P1 [get_ports {led[14]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[14]}]
set_property PACKAGE_PIN L1 [get_ports {led[15]}]
set_property IOSTANDARD LVCMOS33 [get_ports {led[15]}]

##7 segment display
set_property PACKAGE_PIN W7 [get_ports {seg[0]}]
set_property IOSTANDARD LVCMOS33 [get_ports {seg[0]}]
set_property PACKAGE_PIN W6 [get_ports {seg[1]}]
set_property IOSTANDARD LVCMOS33 [get_ports {seg[1]}]
```

```
set_property PACKAGE_PIN U8 [get_ports {seg[2]}]
set_property IOSTANDARD LVCOS33 [get_ports {seg[2]}]
set_property PACKAGE_PIN V8 [get_ports {seg[3]}]
set_property IOSTANDARD LVCOS33 [get_ports {seg[3]}]
set_property PACKAGE_PIN U5 [get_ports {seg[4]}]
set_property IOSTANDARD LVCOS33 [get_ports {seg[4]}]
set_property PACKAGE_PIN V5 [get_ports {seg[5]}]
set_property IOSTANDARD LVCOS33 [get_ports {seg[5]}]
set_property PACKAGE_PIN U7 [get_ports {seg[6]}]
set_property IOSTANDARD LVCOS33 [get_ports {seg[6]}]
```

```
#set_property PACKAGE_PIN V7 [get_ports dp]
# set_property IOSTANDARD LVCOS33 [get_ports dp]
```

```
set_property PACKAGE_PIN U2 [get_ports {an[0]}]
set_property IOSTANDARD LVCOS33 [get_ports {an[0]}]
set_property PACKAGE_PIN U4 [get_ports {an[1]}]
set_property IOSTANDARD LVCOS33 [get_ports {an[1]}]
set_property PACKAGE_PIN V4 [get_ports {an[2]}]
set_property IOSTANDARD LVCOS33 [get_ports {an[2]}]
set_property PACKAGE_PIN W4 [get_ports {an[3]}]
set_property IOSTANDARD LVCOS33 [get_ports {an[3]}]
```

##Buttons

```
set_property PACKAGE_PIN U18 [get_ports btnC]
set_property IOSTANDARD LVCOS33 [get_ports btnC]
set_property PACKAGE_PIN T18 [get_ports btnU]
set_property IOSTANDARD LVCOS33 [get_ports btnU]
#set_property PACKAGE_PIN W19 [get_ports btnL]
#set_property IOSTANDARD LVCOS33 [get_ports btnL]
set_property PACKAGE_PIN T17 [get_ports btnR]
set_property IOSTANDARD LVCOS33 [get_ports btnR]
#set_property PACKAGE_PIN U17 [get_ports btnD]
#set_property IOSTANDARD LVCOS33 [get_ports btnD]
```

EN este anexo se presentan las instrucciones específicas, paso a paso, para la síntesis de la secuencia binaria que representa al hardware del prototipo de la MPM, a partir del código VHDL del anexo anterior, para su carga en el FPGA de una tarjeta Basys3. La información general y los detalles técnicos de la tarjeta Basys3 se pueden encontrar en el sitio web de la misma: <https://store.digilentinc.com/basys-3-artix-7-fpga-trainer-board-recommended-for-introductory-users/>

Esta tarjeta incluye un FPGA de la familia Artix 7 del fabricante Xilinx. Toda la información sobre las características y prestaciones de esta familia de FPGA se puede encontrar en el sitio web del producto: <https://www.xilinx.com/products/silicon-devices/fpga/artix-7.html#productTable>



Figura B.1: Prototipo para la MPM completo y corriendo de manera satisfactoria.

Respecto del software, que constituye el entorno de diseño para la síntesis de la secuencia binaria a partir del código VHDL, es necesario que esto se realice mediante las herramientas proporcionadas por el fabricante del FPGA, a fin de garantizar el buen funcionamiento del mismo. En este caso, se empleará el entorno Vivado, para lo cual es suficiente instalar la versión conocida como *Vivado WebPACK Edition*, la cual cuenta con licencia de uso gratuito. Para la descarga del programa, su instalación y más información sobre este entorno de diseño, el lector puede visitar el sitio web del producto:

<https://www.xilinx.com/products/design-tools/vivado.html>

INSTRUCCIONES PASO A PASO

Paso 1. Verifique el estado de la tarjeta Basys3

Asegúrese de que la tarjeta Basys3 se encuentra en el modo de operación en el que se inicializa el FPGA automáticamente [3], a través de la interfaz serial SPI, con la secuencia de bits almacenada en la memoria Flash de la tarjeta (debe existir una conexión entre los postes 1 y 2 del puente JP1 [MODE]). Antes de alimentar a la tarjeta Basys3, mediante la conexión del cable USB *Type-A/ Micro-B*, asegúrese de que el interruptor de alimentación (POWER SWITCH) esté en la posición OFF. Una vez conectado el cable USB, puede encender la tarjeta colocando el interruptor POWER SWITCH en la posición ON. La primera vez, la computadora puede tardar algunos segundos en detectar a la tarjeta y cargar los controladores necesarios.

Inmediatamente después de encender la tarjeta, puede comprobar que funciona correctamente si esta se comporta de acuerdo a la secuencia de prueba cargada desde la memoria Flash. En principio, se debe observar en los dispositivos de despliegue LED de 7 segmentos una secuencia ascendente de números decimales.

Antes de continuar, es necesario tener a la mano los archivos con los códigos listados en el anexo anterior, a saber: *Top_Basys3.vhd*, *MPM_cpu.vhd*, *behavioral_hex2led.vhd*, *debouncing_mod.vhd* y *double_pulse.vhd*, que se encuentran escritos en lenguaje VHDL, y el archivo *Top_Basys3.xdc*, con las restricciones de hardware y la asignación de terminales requeridas para este proyecto.

El código VHDL también se encuentra disponible en el repositorio GitHub:

https://github.com/galaguna/Posts_Machine_Reloaded_Booklet

Paso 2. Ejecute el entorno de diseño Vivado

Simplemente busque el icono de la aplicación en su escritorio y arranque el programa.

Paso 3. Cree un nuevo proyecto

Vaya a la sección de la ventana denominada *Quick Start* (ver figura B.2) y oprima el icono «*Create New Project*». Se abre la ventana del asistente (*wizard*) «*New Project*» (ver figura B.3), oprima el botón < *Next* >.



Figura B.2: Ventana de inicio del entorno Vivado.

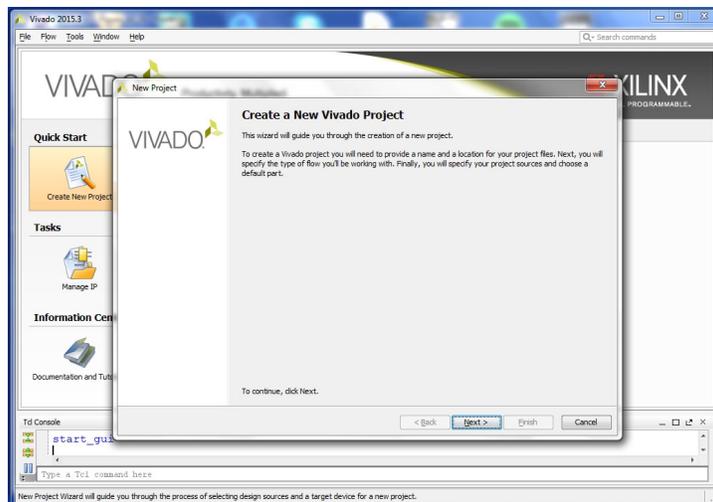


Figura B.3: Ventana del asistente (*wizard*) para un nuevo proyecto.

A continuación, introduzca el nombre del proyecto, por ejemplo “miPostCPU” y defina la ruta del proyecto (ver figura B.4). La ruta no debe contener caracteres de espacio.

Deje las demás opciones con los valores por defecto y oprima el botón < Next >.

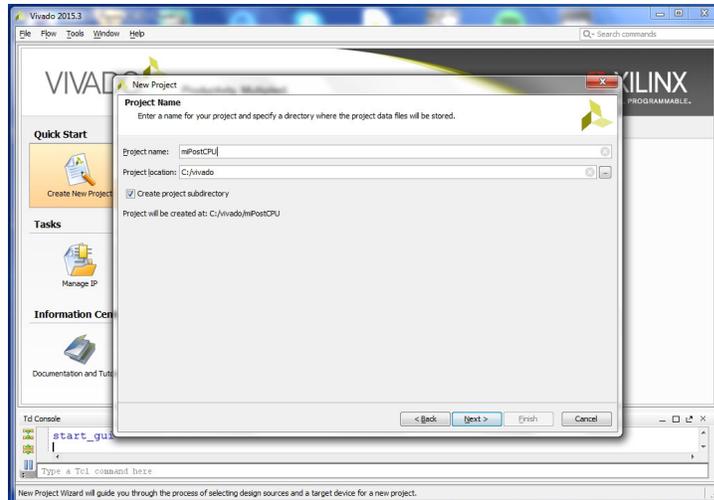


Figura B.4: Ventana para asignar el nombre del proyecto.

En la ventana mostrada en la figura B.5 aparecen las opciones «Project Type». Elija la opción < * > *RTL Project*. Es en este punto donde se deben agregar al proyecto los códigos con extensión .vhd, es decir los códigos fuente VHDL. Entonces, asegúrese de que no esté marcada la casilla «Do not specify sources at this time» y oprima el botón < Next >.

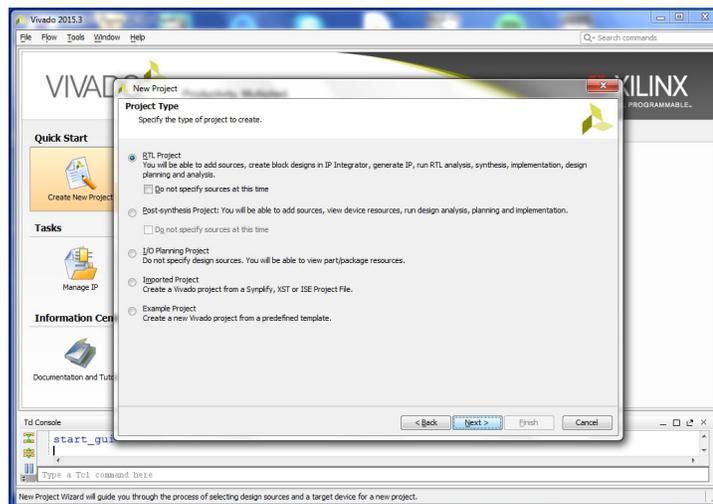


Figura B.5: Ventana para especificar el tipo del proyecto.

A continuación, en la ventana «Add Sources» (ver figura B.6), oprima el botón < Add Files >.

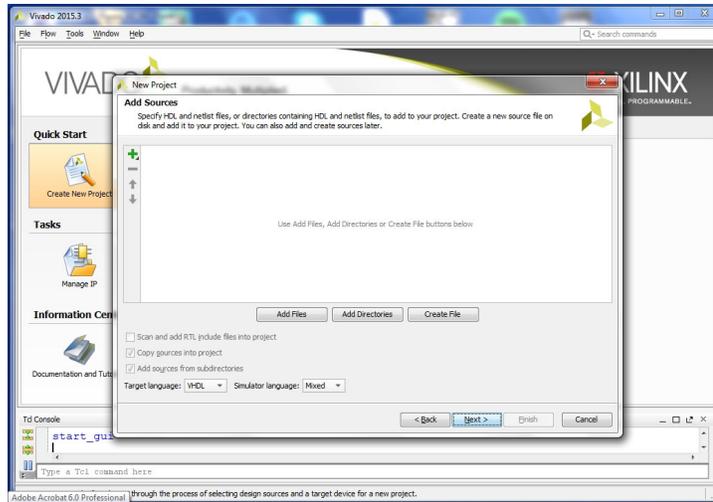


Figura B.6: Ventana para agregar código fuente al proyecto.

Entonces, proceda a buscar y agregar los códigos fuentes *Top_Basys3.vhd*, *MPM_cpu.vhd*, *behavioral_hex2led.vhd*, *debouncing_mod.vhd* y *double_pulse.vhd* (ver figura B.7).

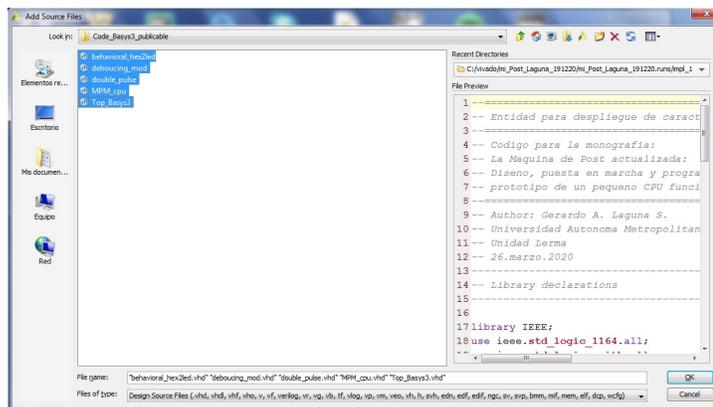


Figura B.7: Ventana para buscar y seleccionar el código fuente del proyecto.

Seleccione todos los archivos VHDL y oprima el botón *< OK >*. Para concluir la adición de los códigos fuente, en la ventana «Add Sources» de la figura B.8, asegúrese de que se encuentra marcada la casilla *< * > Copy Sources into project* y de que aparece VHDL como el lenguaje objetivo («Target Language»). Entonces, puede oprimir el botón *< Next >*.

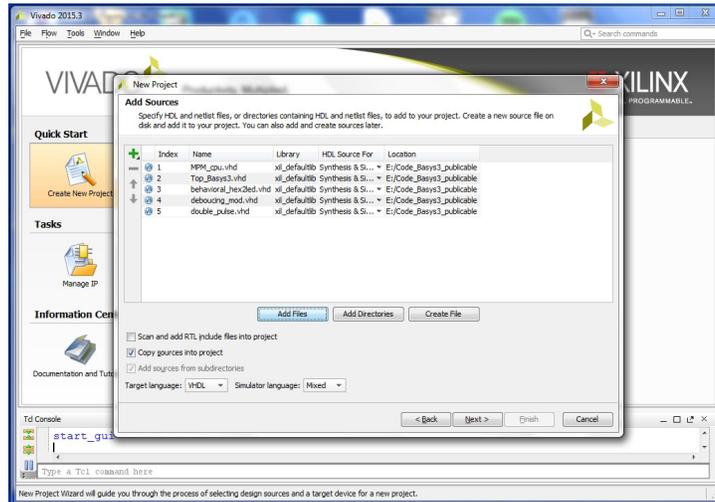


Figura B.8: Ventana para confirmar la adición de los códigos fuente del proyecto.

En este punto, aparece la ventana para adicionar bloques IP (con propiedad intelectual de terceros) «Add Existing IP (optional)». Aunque se va a emplear un contador y un par de bloques de memoria, definidos por Xilinx como bloques IP, aún no los hemos sintetizado. Por ello, omita esta opción oprimiendo el botón *< Next >*.

A continuación, en la ventana de la figura B.9, «Add or Create Constraints (optional)», oprima el botón *< Add Files >*.

Entonces, busque y agregue el archivo de restricciones *Top_Basys3.xdc*.

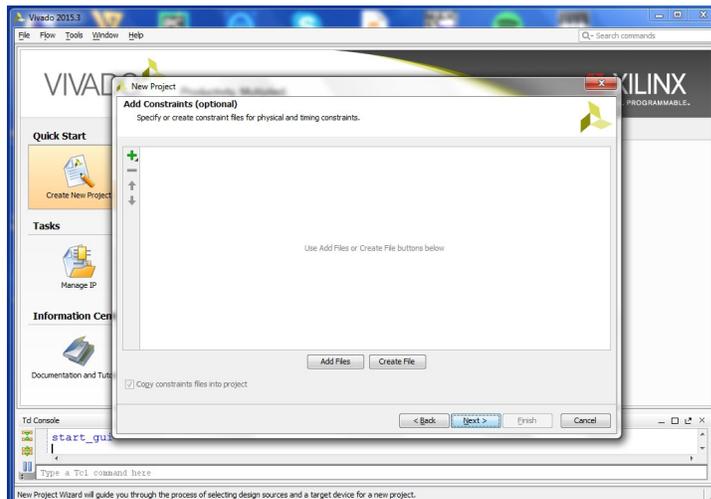


Figura B.9: Ventana para agregar archivos de restricciones al proyecto.

Una vez seleccionado el archivo de restricciones, oprima el botón *< OK >* y, regresando a la ventana «Add or Create Constraints (optional)» (ver figura B.10), marque la casilla *< * >* Copy Sources into project y oprima el botón *< Next >*.

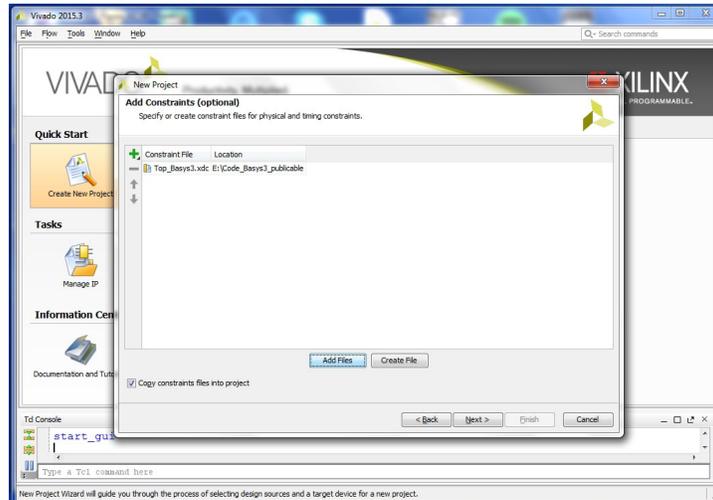


Figura B.10: Ventana para confirmar la adición del archivo de restricciones para el proyecto.

Ahora, en la ventana de la figura B.11, aparecen las opciones «Default Part». Hay que especificar las características del dispositivo FPGA presente en la tarjeta de desarrollo.

Específicamente, para la tarjeta Basys3, la información requerida es la siguiente:

- ▶ Family: Artix-7
- ▶ Package: CPG236
- ▶ Part: xc7a35tcbg236-1

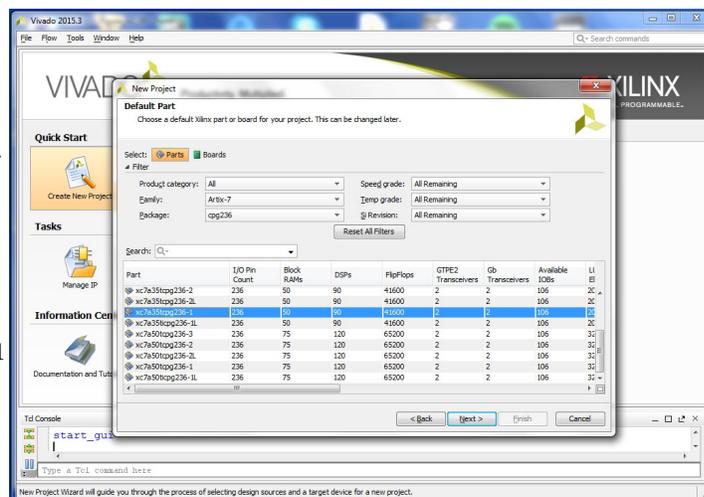


Figura B.11: Ventana para seleccionar el FPGA destino.

Oprima el botón *< Next >*, para ver el resumen del proyecto. Luego, oprima el botón *< Finish >* para terminar. Hasta este punto, el proyecto incluye la mayoría de los códigos necesarios.

Puede revisar los códigos agregados dando doble clic a cada uno de ellos, dentro del listado de códigos, en la vista de jerarquía («*Hierarchy*») de la ventana «*Sources*».

Los códigos que hacen falta se generarán en forma automática cuando se incorporen los bloques IP que se necesitan.

Específicamente, dentro del código *Top_Basys3.vhd*, se hace referencia a los componentes *Bin_Counter*, *RAM_256x1* y *ROM_256x4*. Por ello, a continuación, vamos a crear estos componentes IP.

Paso 4. Incluya un bloque IP para el contador binario

En la ventana del margen izquierdo, «*Flow Navigator*», vaya a la sección «*Project Manager*» y oprima el icono «*IP Catalog*» (ver figura B.12).

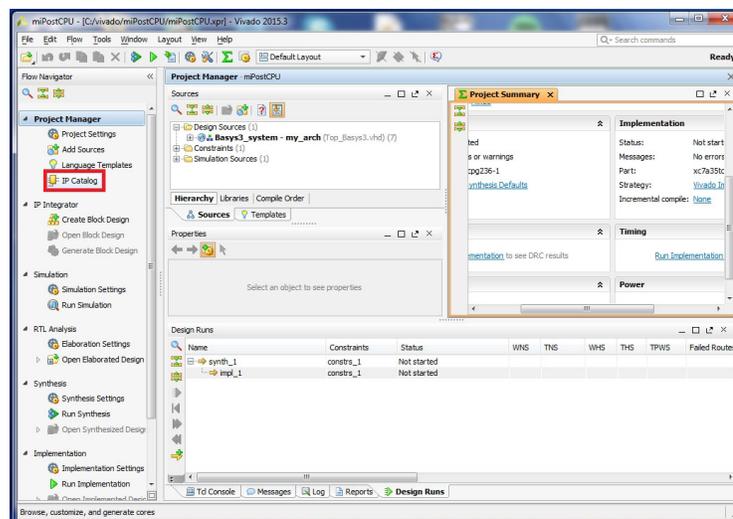


Figura B.12: Ubicación del icono «*IP Catalog*» en la ventana principal del proyecto.

En el catálogo de componentes (*Cores*), vaya a la carpeta de elementos básicos (*Basic Elements*) y, luego, a la subcarpeta de contadores (*Counters*). Seleccione el componente «*Binary Counter*» con un doble clic (ver figura B.13).

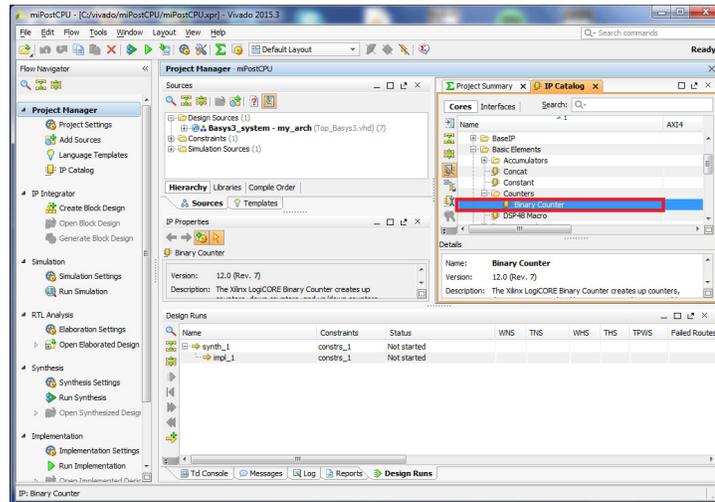


Figura B.13: Ubicación de la opción de bloque IP para un contador binario.

En la ventana de la figura B.14, especifique el nombre del componente contador como *Bin_Counter*. En la misma pestaña «*Basic*», coloque el valor 24 para el número de salidas (*Output Width*).

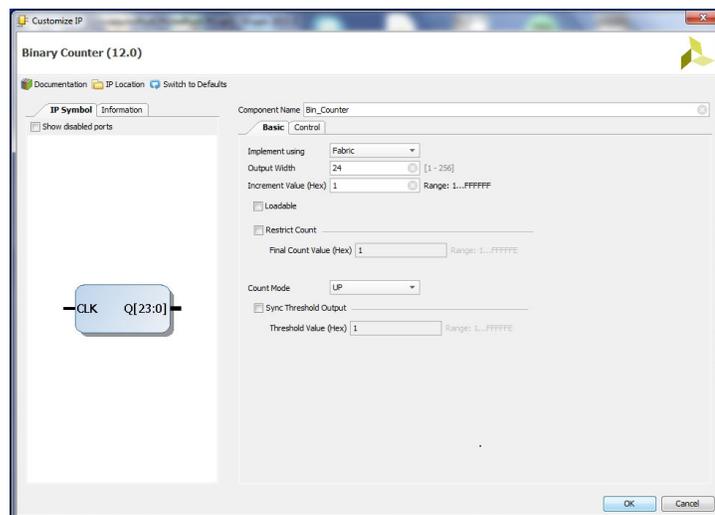


Figura B.14: Especificación básica para el bloque IP del contador binario.

Deje a las demás opciones con los valores por defecto y oprima el botón < OK >. Entonces aparece la ventana de la figura B.15, que nos solicita iniciar la generación del bloque IP para el Contador Binario (*Bin_Counter.xci*).

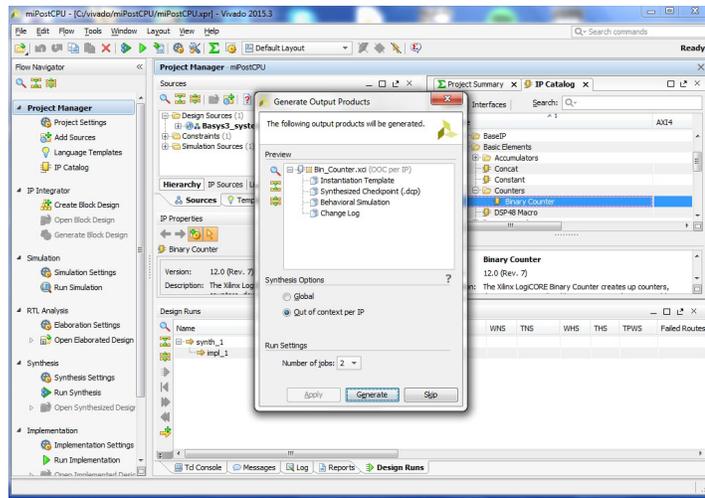


Figura B.15: Ventana para inicial la generación del bloque IP del contador binario.

Deje los valores por defecto y oprima el botón < *Generate* > para iniciar la síntesis del componente IP. También se solicita confirmación para generar el bloque en un segundo plano («fuera de contexto»), acepte. Después de un par de minutos, aparece la información generada para el contador y se enlista el nuevo componente en la vista de los bloques IP («*IP_Sources*») de la ventana «*Sources*» (ver figura B.16).

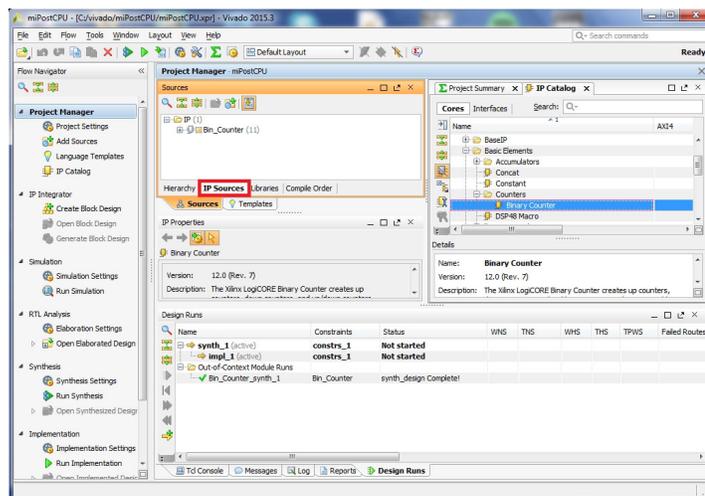


Figura B.16: Resultado de la generación del bloque IP del contador binario.

Paso 5. Incluya un bloque IP para la memoria RAM

De forma similar a lo realizado en el paso anterior, en la ventana del margen izquierdo, «Flow Navigator», vaya a la sección «Project Manager» y, de nueva cuenta, oprima el icono «IP Catalog». En el catálogo de componentes (Cores), vaya ahora a la carpeta de elementos de memoria y almacenamiento (Memories & Storage Elements) y, luego, a la subcarpeta RAMs & ROMs & BRAM. Seleccione, con un doble clic, el componente «Block Memory Generator» (ver figura B.17).

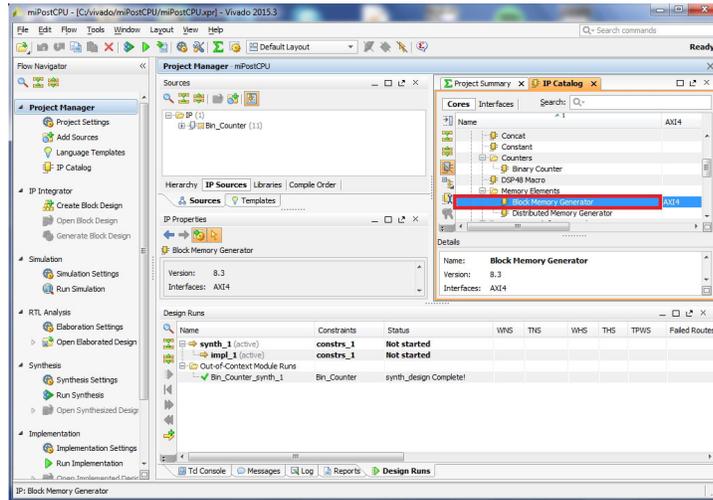


Figura B.17: Especificación básica del bloque IP para la memoria RAM.

En la ventana de la figura B.18, especifique el nombre del componente de memoria como RAM_256x1. Luego, en la pestaña «Basic», asegúrese que el tipo de interfaz (Interface type) sea «Native» y que el tipo de memoria (Memory Type) sea «Single Port RAM».

Deje las demás opciones de esta pestaña con los valores por defecto.

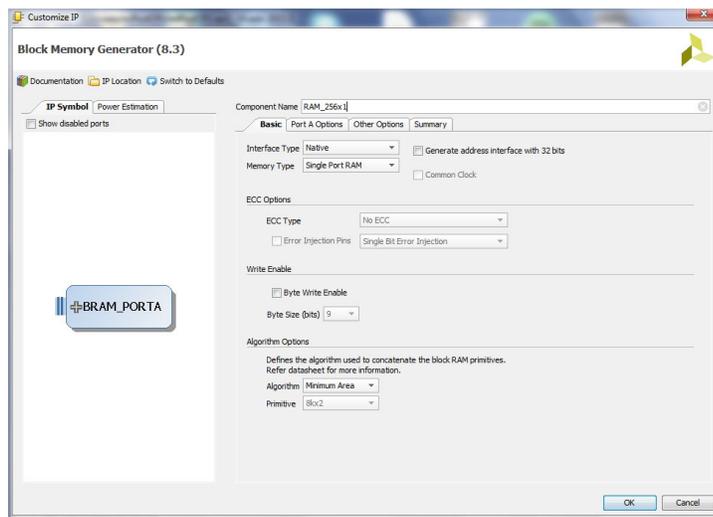


Figura B.18: Especificación básica del bloque IP para la memoria RAM.

Vaya a la pestaña «*Port A Options*» (ver figura B.19) y asegúrese de que el dimensionamiento de la memoria sea el que se requiere (*Memory Size*):

- ▶ Write Width = 1
- ▶ Read Width = 1
- ▶ Write Depth = 256
- ▶ Read Depth = 256

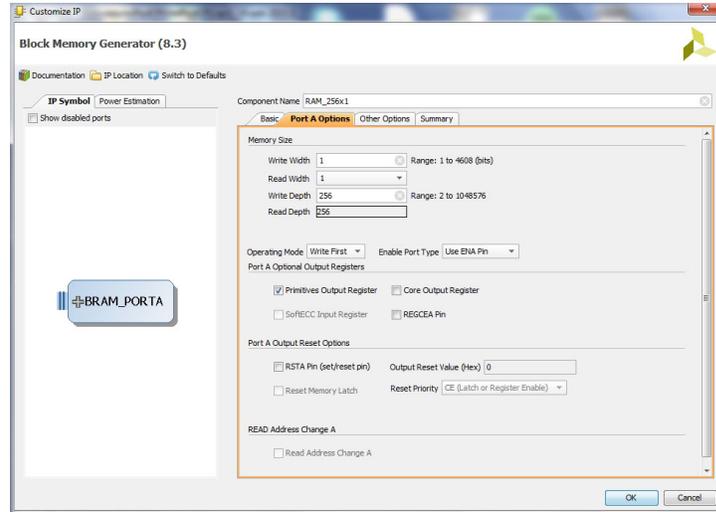


Figura B.19: Especificación para las opciones del puerto A del bloque IP para la memoria RAM.

También, verifique que el modo de operación (*Operating Mode*) sea “primero escribir” (*Write First*).

En este punto es donde se debe especificar el archivo con los datos para precargar los registros de la memoria. En este caso, dado que se trata de la memoria RAM, el archivo que cumple con esta función es el que aparece en el [anexo A](#) con el nombre de *RAM_init.coe*. Este archivo es el que contiene los valores de inicialización para la RAM (los datos que procesará el CPU de la MPM). No es un archivo con código fuente VHDL, por ello no se importó dentro del proyecto en el paso 3. Sin embargo, todo archivo con extensión *.coe* se debe agregar manualmente en la ruta donde el proyecto importó a los archivos fuente. Por ejemplo, una ruta típica para los archivos fuente importados es la siguiente:

```
C:\user_path\miPostCPU\miPostCPU.srcs\sources_1\imports\fuente\
```

Entonces, antes de proceder, es necesario que todos los archivos con extensión *.coe* sean copiados a esta carpeta y se encuentren junto a los archivos fuente VHDL.

Una vez realizado lo arriba indicado, vaya a la pestaña «*Other Options*» (ver figura B.20) y, en la sección «*Memory initialization*», marque la casilla *< * > Load Init File*. Entonces, mediante el botón *< Browse >* busque, dentro de la ruta de los archivos fuente y cargue el archivo *RAM_init.coe*.

En la ventana de la figura B.20, deje a las demás opciones con los valores por defecto y oprima el botón < OK >. Entonces aparece la siguiente ventana que nos solicita confirmar la creación del bloque de memoria RAM (*RAM_256x1.xci*).

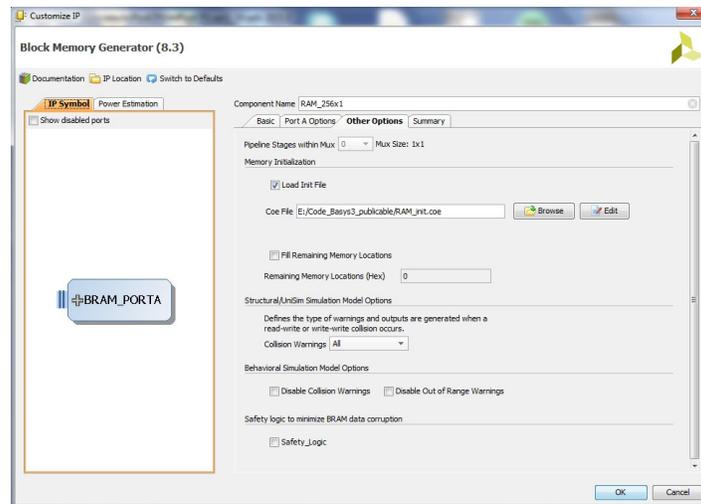


Figura B.20: Especificación para otras opciones del bloque IP para la memoria RAM.

Para concluir con este bloque IP, en la ventana de la figura B.21, deje los valores por defecto y oprima el botón < Generate > para iniciar la síntesis del componente IP. También confirme que la generación se realiza en un segundo plano (“fuera de contexto”). Después de un par de minutos, aparece la información generada para la memoria RAM y se enlista el nuevo componente en la vista de los bloques IP («*IP_Sources*») de la ventana «*Sources*».

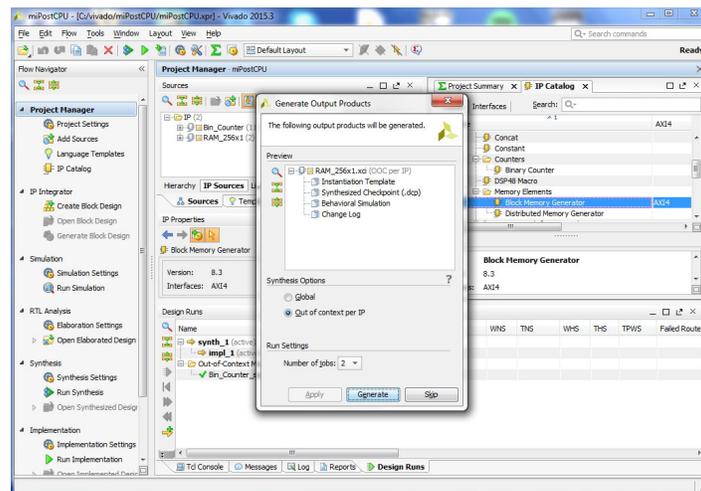


Figura B.21: Ventana para inicial la generación del bloque IP para la memoria RAM.

Paso 6. Incluya un bloque IP para la memoria ROM

De forma muy similar al paso anterior, oprima el icono «IP Catalog» y, en el catálogo de componentes (Cores), vuelva a la carpeta de elementos de memoria y almacenamiento (Memories & Storage Elements), seleccione la subcarpeta RAMs & ROMs & BRAM y abra la ventana del componente «Block Memory Generator» con un doble clic.

Esta vez, especifique el nombre del componente de memoria como ROM_256x4 (ver figura B.22).

En la misma pestaña «Basic», nos aseguramos que el tipo de interfaz (Interface type) sea «Native» y que el tipo de memoria (Memory Type) sea «Single Port ROM».

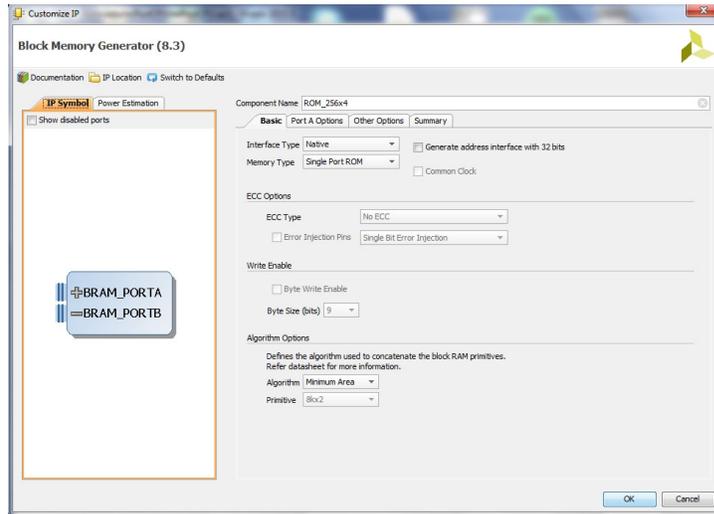


Figura B.22: Especificación básica del bloque IP para la memoria ROM.

Las demás opciones de esta pestaña las dejamos con los valores por defecto.

Vaya a la pestaña «Port A Options» (ver figura B.23) y asegúrese de que el dimensionamiento de la memoria sea el requerido (Memory Size):

- ▶ Port A Width = 4
- ▶ Port A Depth = 256

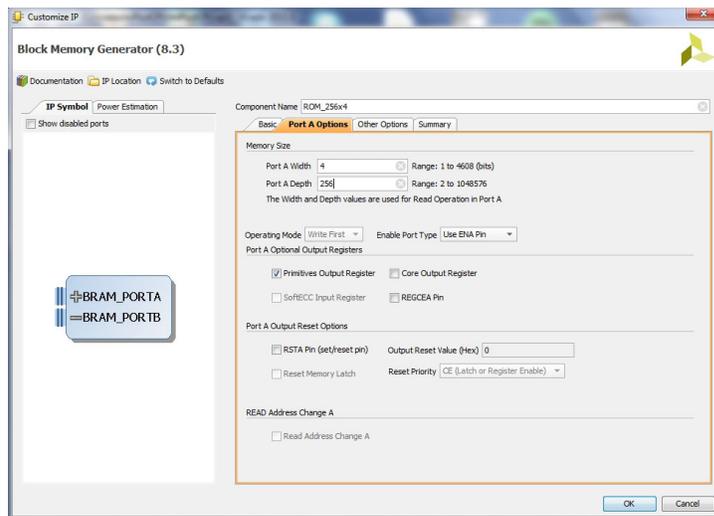


Figura B.23: Especificación para las opciones del puerto A del bloque IP para la memoria ROM.

Para concluir con la memoria ROM, vaya a la pestaña «*Other Options*» (ver figura B.24) y, en la sección «*Memory initialization*», marque la casilla < * > *Load Init File*. Mediante el botón < *Browse* >, busque dentro de la ruta de los archivos fuente y cargue el archivo *ROM_init.coe* que contiene los valores de inicialización para la ROM. Si se revisa el contenido de este archivo, se puede comprobar que se trata, precisamente, del código de máquina del programa que ejecutará el CPU de la MPM. Específicamente, el contenido del archivo *ROM_init.coe*, que se enlista en el anexo A, contiene el código de máquina del programa de incremento que se obtuvo paso a paso en el capítulo 2.

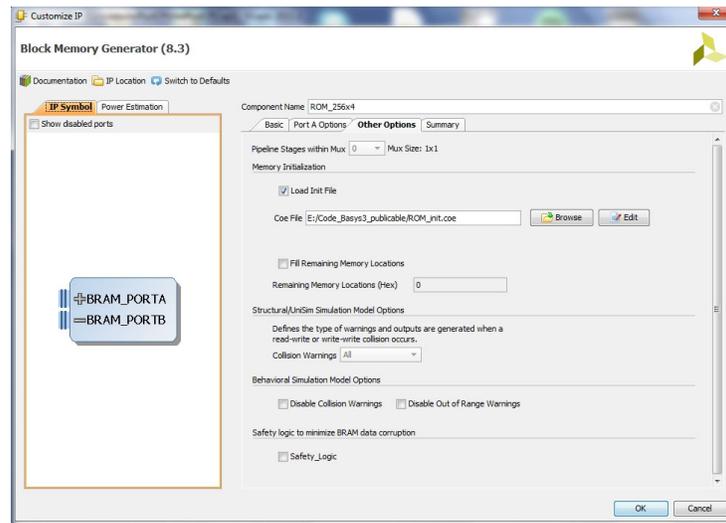


Figura B.24: Especificación para otras opciones del bloque IP para la memoria ROM.

Para continuar, en la figura B.24, deje a las demás opciones con los valores por defecto y oprima el botón < *OK* >.

Entonces, aparece una ventana que nos solicita confirmación para crear el bloque de memoria ROM (*ROM_256x4.xci*). De forma similar a la última vez y para concluir con este bloque IP, deje los valores por defecto y oprima el botón < *Generate* >. También confirme que la generación se realiza en un segundo plano (“fuera de contexto”). Después de un par de minutos, aparece la información generada para la memoria ROM y también se enlista el nuevo componente en la vista de los bloques IP («*IP_Sources*») de la ventana «*Sources*».

Paso 7. Construya del proyecto y genere el archivo con la secuencia de bits

En la ventana del margen izquierdo, «*Flow Navigator*», busque a la sección «*Program and Debug*» y oprima el icono «*Generate Bitstream*». Dado que el proyecto no se ha sintetizado ni implementado previamente, aparece el mensaje de la figura B.25.

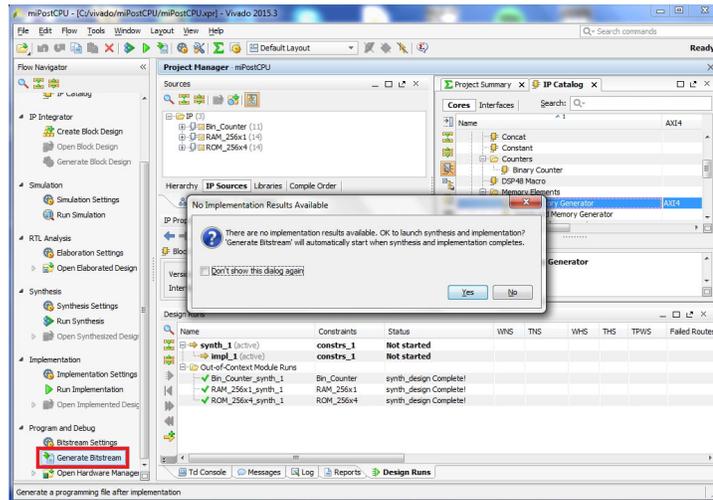


Figura B.25: Solicitud de confirmación para iniciar la secuencia de síntesis, implementación y generación de la secuencia de bits de carga para el FPGA.

Para iniciar la secuencia de síntesis, implementación y generación de la secuencia de bits, oprima el botón < *Yes* >. Si no se cometió ningún error, al terminar la secuencia de procesamiento aparece el mensaje de la figura B.26.

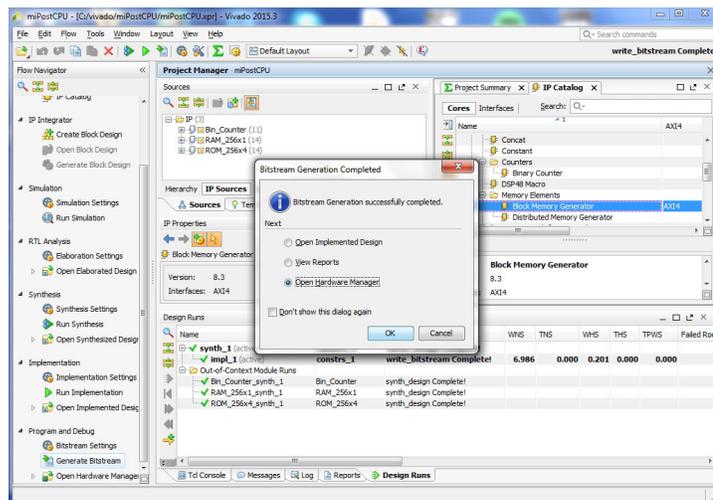


Figura B.26: Mensaje de terminación exitosa de la generación de la secuencia de bits y solicitud para abrir el administrador del hardware.

Asegúrese de que se encuentra seleccionada la opción < * > *Open Hardware Manager* y oprima el botón < *OK* >. Ahora se puede proceder con la programación del dispositivo FPGA, con ayuda del administrador del hardware («*Hardware Manager*»). Antes de continuar, asegúrese que la tarjeta Basys3 está conectada y encendida.

Paso 8. Cargue el proyecto construido en el FPGA destino

En la parte superior de la ventana del administrador de hardware aparece una barra de información con el mensaje «¡ No hardware target is open » (ver figura B.27).

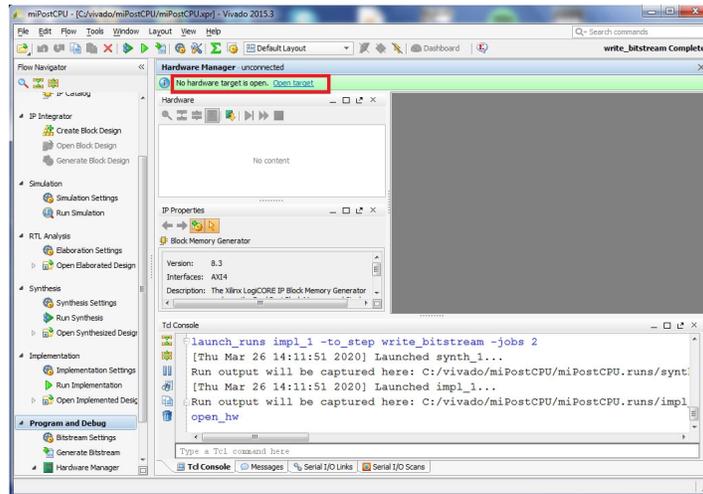


Figura B.27: Localización del vínculo para iniciar la carga del proyecto en el FPGA destino.

Oprima el vínculo Open target y, en el menú de opciones que surge, elija «Auto Connect». Con esto, la barra de información de la ventana «Hardware Manager» se actualiza y aparece el mensaje «¡ There are no debug cores » (ver figura B.28).

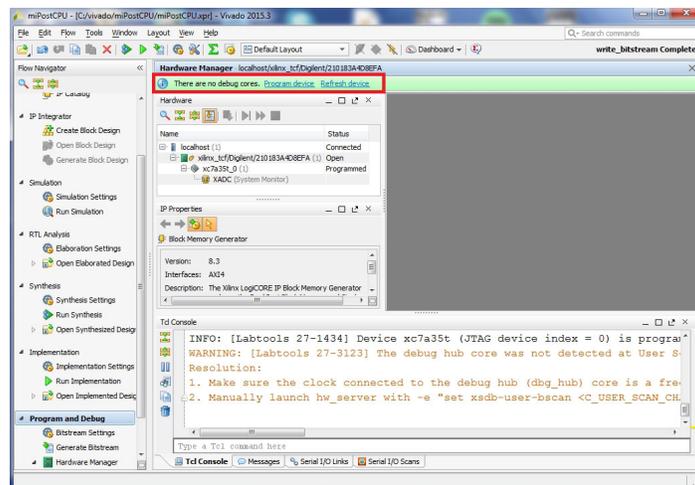


Figura B.28: Opciones para concluir la carga de la secuencia de bits en el FPGA.

Oprima el vínculo Program Device y, a continuación, seleccione el dispositivo FPGA destino. Dado que se asume el empleo de una tarjeta Basys3, el dispositivo

de interés debe identificarse como `xc7a35t_0`. Entonces, aparece la ventana de la figura B.29, para buscar el archivo con la secuencia de bits a programar.

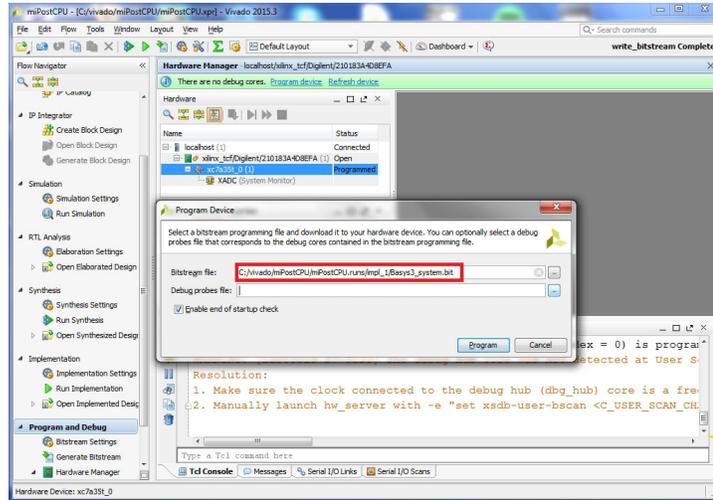


Figura B.29: Ruta que especifica la ubicación del archivo con la secuencia de bits del proyecto.

En principio y por defecto, debe aparecer el archivo de bits (.bit) generado por la secuencia de construcción del proyecto. En el caso de que no aparezca el archivo con la secuencia de bits, es decir un archivo con extensión .bit, entonces hay que buscarlo en la carpeta del proyecto. Una ruta típica donde se puede encontrar este archivo binario es la siguiente:

```
C:\user_path\miPostCPU\miPostCPU.runs\impl_1\Basys3_system.bit
```

Nótese que el nombre del archivo con extensión .bit corresponde exactamente con el nombre de la entidad de más alto nivel del proyecto, en este caso la entidad `Basys3_system` que se definió en el archivo `Top_Basys3.vhd`.

Una vez que se ha localizado al archivo con la secuencia de bits y que se ha llegado a la situación mostrada en la figura B.29, se dejan tal cual las opciones por defecto y se oprime el botón `< Program >`.

Si todos los pasos anteriores se completaron sin inconvenientes, el usuario podrá comprobar que el sistema digital montado sobre la tarjeta Basys3 se comporta de acuerdo a lo esperado y, por lo tanto, se puede decir con entera satisfacción que se concluyó con éxito la realización práctica del prototipo para la máquina de Post mejorada.

Categoría	Definición	Ejemplo
Nombres para identificadores	Puede contener cualquier letra, dígito o barra baja (.). Debe iniciar con una letra. No puede terminar con barra baja (.) ni una palabra reservada. No distingue entre mayúsculas y minúsculas.	q0, Numero_primo, event_flg
Valores para las señales	'0' = 0 lógico '1' = 1 lógico 'Z' = alta impedancia 'X' = valor desconocido (indiferente)	y <= '1'; a <= 'X';
Números y cadenas de bits	<base> #xxx# B X O "xxx" B para binario X para hexadecimal O para octal	35 (decimal por defecto) 16#C# equivale a B"1100" X"3C" equivale a B"00111100" O"234" equivale a B"010011100"
Sentencia genérica	Asocia el nombre de un identificador con un valor que puede ser sobrescrito por la sentencia de mapeo genérico.	generic (N:integer := 8);
Mapeo genérico	Asigna un valor a un parámetro genérico.	generic map (N => 16)
Señales y tipos de variables	signal se usa para conectar un elemento lógico con otro. variable se le asignan valores en un proceso. integer es útil para las variables de control en lazos.	signal d : std_logic_vector(0 to 3); signal led: std_logic; variable q: std_logic_vector(7 downto 0); variable k: integer;

Categoría	Definición	Ejemplo
Estructura del programa	<pre>library xxxx; use xxxx.y.z; entity <comp_id> is port(<lista de puertos de interface> . .); end <comp_id>; architecture <arq_id> of <comp_id> is declaraciones; begin process(<lista_sens>) declaraciones; begin sentencia_secuencial; sentencia_secuencial; . . . end process; sentencia_concurrente; sentencia_concurrente; . end <arq_id>;</pre>	<pre>library IEEE; use IEEE.STD_LOGIC_1164.all; entity ff is port(clk : in STD_LOGIC; clr : in STD_LOGIC; d : in STD_LOGIC; q : in STD_LOGIC;); end ff; architecture ff_arch of ff is begin process(clk, clr) begin if(clr = '1') then q <= '0'; elsif(rising_edge(clk)) then q <= d; end if; end process; end ff_arch;</pre>
Operadores lógicos	<pre>not and or nand nor xor xnor</pre>	<pre>z <= not y; c <= a and b; z <= x or y; w <= u nand v; r <= s nor t; z <= x xor y; d <= a xnor b;</pre>
Operadores aritméticos	<pre>+ suma - resta * multiplicación / división (no se puede sintetizar)</pre>	<pre>count <= count + 1; count <= count - 1; b <= a * 2;</pre>
Operadores relacionales	<pre>=, /=, >, <, >=, <=</pre>	<pre>if a <= b then ... if clr = '1' then ...</pre>
Operadores de corrimiento	<pre>shl (arg, n_corrimientos) shr (arg, n_corrimientos)</pre>	<pre>c = shl(a,3); c = shr(a,4);</pre>

Categoría	Definición	Ejemplo
Proceso	<pre>[<id>] process(<lista_sens>) declaraciones; begin sentencia_secuencial; sentencia_secuencial; end process [<id>];</pre>	<pre>process(a) variable j: integer; begin j := conv_integer(a); for i in 0 to 7 loop if(i = j) then y(i) <= '1'; else y(i) <= '0'; end if; end loop; end process;</pre>
Sentencia if (secuencial)	<pre>if(expr_booleana_1) then sentencias_secuenciales; elsif (expr_booleana_2) then sentencias_secuenciales; else sentencias_secuenciales; end if;</pre>	<pre>if(clr = '1') then q <= '0'; elsif(clk'event and clk = '1') then q <= d; end if;</pre>
Sentencia case (secuencial)	<pre>case expr_ix is when caso_1 => sentencias_secuenciales; when caso_2 => sentencias_secuenciales; when caso_3 => sentencias_secuenciales; . [when others => sentencias_secuenciales;] end case;</pre>	<pre>case s is when "00" => z <= c(0); when "01" => z <= c(1); when "10" => z <= c(2); when "11" => z <= c(3); when "10" => z <= c(2); when others => z <= c(0); end case;</pre>
Sentencia for (secuencial)	<pre>for <ix> in <intervalo> loop sentencias_secuenciales; end loop;</pre>	<pre>zv := x(1); for i in 2 to 4 loop zv := zv and x(i); end loop;</pre>
Operadores de asignación	<pre>:= para variables <= para señales</pre>	<pre>cnt := cnt + 1; IP <= IP + 1;</pre>

Categoría	Definición	Ejemplo
Sentencia de asignación condicional (concurrente)	<pre> señal_id <= valor_1 when expr_bool_1 else valor_2 when expr_bool_2 else . . valor_por_defecto; </pre>	<pre> z<= a when (s="00") else b when (s="01") else c when (s="10") else d when (s="11") else 'X'; </pre>
Sentencia de asignación por selección (concurrente)	<pre> with expr_ix select señal_id <= valor_1 when Caso_1, valor_2 when Caso_2, valor_n when Caso_n, [valor_x when others]; </pre>	<pre> with val select z <= a when "00", b when "01", c when "10", d when others; </pre>
Mapeo de puertos	<pre> instancia_id : componente_id port map(lista_de_conexiones; . . .); </pre>	<pre> M1 : mux2to1 port map(d0 => c(0), d1 => c(1), o => y, s => n); </pre>

BIBLIOGRAFÍA

- [1] J. Bernstein. *La máquina analítica*. Editorial Labor, 1984.
- [2] Pong P. Chu. *RTL Hardware Design Using VHDL*. Wiley-Interscience, 2006.
- [3] Digilent. Basys 3 FPGA manual board reference. https://reference.digilentinc.com/_media/basys3:basys3_rm.pdf, 2017. (DOC# 502-183).
- [4] T.L. Floyd. *Digital Fundamentals*. Pearson Education International, 2006.
- [5] G. Laguna, R. Marcelín, Miguel López, López Mauricio, E. Rodríguez, y M. Pascoe. *Para entender las tecnologías de la información y las comunicaciones o el extraño caso de la chica del sombrero*. DCBI UAM-I, 2013.
- [6] G. Laguna, R. Marcelín, G. Patrick, y G. Vázquez (Coords.). *Complejidad y sistemas complejos: un acercamiento multidimensional*. CopIt-arXives & EditoraC3, 2016. <http://scifunam.fisica.unam.mx/mir/copit/TS0013ES/TS0013ES.pdf>.
- [7] M. Mitchell. *Complexity: A Guided Tour*. Oxford University Press, 2009.
- [8] E.L. Post. Finite combinatory processes – formulation 1. *The Journal of Symbolic Logic*, 1(3):103–105, 1936.
- [9] A.M. Turing. On computable numbers, with an application to the Entscheidungsproblem. *Proceedings of the London Mathematical Society*, S2-42(1):230–265, 1937.
- [10] V.A. Uspenski. *Máquina de Post*. Lecciones populares de matemáticas. MIR, 1983.
- [11] M. Wolf. *Computers as Components: Principles of Embedded Computing System Design*. Morgan Kaufmann, 2012.
- [12] Xilinx. Block memory generator v8.3: LogiCORE IP product guide. https://www.xilinx.com/support/documentation/ip_documentation/blk_mem_gen/v8_3/pg058-blk-mem-gen.pdf, 2017. (PG058).